

日本国特許庁
JAPAN PATENT OFFICE

filed 2/28/02
Birch, Stewart et al.
UP
(703) 205-8000
2 of 2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 2月 6日

出願番号
Application Number:

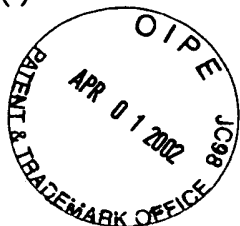
特願2002-029742

[ST.10/C]:

[JP2002-029742]

出願人
Applicant(s):

シャープ株式会社

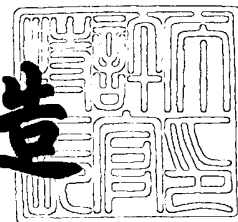


RECEIVED
APR-2 2002
TC 2800 MAIL ROOM

2002年 3月 8日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3014482

【書類名】 特許願

【整理番号】 01J04519

【提出日】 平成14年 2月 6日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03F 3/45

【発明の名称】 可変利得増幅器

【請求項の数】 18

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 宮本 雅之

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 55482

【出願日】 平成13年 2月28日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変利得増幅器

【特許請求の範囲】

【請求項1】

入力信号を増幅する増幅トランジスタと、
該増幅トランジスタの大きさおよび上記増幅トランジスタを流れる電流の経路を制御する電流経路制御部とを備えていることを特徴とする可変利得増幅器。

【請求項2】

上記電流経路制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、

上記増幅トランジスタおよび上記電流制御トランジスタを含み、並列に配置されている複数の単位回路を備え、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続されていることを特徴とする請求項1に記載の可変利得増幅器。

【請求項3】

各単位回路が、上記電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路を有していることを特徴とする請求項2に記載の可変利得増幅器。

【請求項4】

各単位回路の上記切替制御回路に、共通する上記動作制御電圧が入力されることを特徴とする請求項3に記載の可変利得増幅器。

【請求項5】

上記単位回路毎に上記切替制御回路の出力を切り替える切替制御信号に基づいて上記動作制御電圧を発生する電圧発生回路を備えていることを特徴とする請求項4に記載の可変利得増幅器。

【請求項6】

上記動作制御電圧が、各単位回路に流れる電流を遮断するような値と、各単位回路に電流を流すような値との2つの電圧であることを特徴とする請求項4に記載の可変利得増幅器。

【請求項 7】

上記電圧発生回路が、電流が遮断された単位回路の数に応じて他方の動作制御電圧を変化させ、残余の単位回路に流れる総電流量を制御することを特徴とする請求項 6 に記載の可変利得増幅器。

【請求項 8】

上記電圧発生回路が、上記総電流量を一定に制御するように上記動作制御電圧を発生することを特徴とする請求項 7 に記載の可変利得増幅器。

【請求項 9】

上記電流経路制御部が、上記増幅トランジスタの大きさを変化させる一方、上記増幅トランジスタを流れる電流を一定に制御することを特徴とする請求項 1 に記載の可変利得増幅器。

【請求項 1 0】

上記電流経路制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタと、上記電流制御トランジスタとともにカレントミラーを構成する補助電流制御トランジスタと、上記電流制御トランジスタおよび上記補助電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路とを含み、並列に配置されている単位回路であって、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続される複数の単位回路と、

上記補助電流制御トランジスタに一定の電流を供給する電流源とを備えていることを特徴とする請求項 9 に記載の可変利得増幅器。

【請求項 1 1】

上記増幅トランジスタが増幅トランジスタ差動対からなることを特徴とする請求項 2、3、4、5、6、7、8 または 1 0 に記載の可変利得増幅器。

【請求項 1 2】

各単位回路の出力が、負荷インピーダンスを介して電源に接続されていることを特徴とする請求項 2、3、4、5、6、7、8、1 0 または 1 1 に記載の可変利得増幅器。

【請求項 1 3】

各単位回路の出力がソースに接続されるトランジスタ差動対と、

該トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、

上記トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることを特徴とする請求項 2、3、4、5、6、7、8 または 10 に記載の可変利得増幅器。

【請求項 14】

各増幅トランジスタ差動対の差動出力の一方がソースに接続される第 1 トランジスタ差動対および該差動出力の他方がソースに接続される第 2 トランジスタ差動対であって、互いの差動出力が交差接続される第 1 および第 2 トランジスタ差動対と、

該第 1 および第 2 トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、

上記第 1 および第 2 トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることを特徴とする請求項 1 に記載の可変利得増幅器。

【請求項 15】

各増幅トランジスタ差動対の差動出力の一方がソースに接続される第 1 トランジスタ差動対および該差動出力の他方がソースに接続される第 2 トランジスタ差動対であって、互いの差動出力が交差接続される第 1 および第 2 トランジスタ差動対と、

各増幅トランジスタ差動対の差動出力の一方がソースに接続される第 3 トランジスタ差動対および該差動出力の他方がソースに接続される第 4 トランジスタ差動対であって、互いの差動出力が交差接続される第 3 および第 4 トランジスタ差動対と、

該第 1 ないし 4 トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、

上記第 1 および第 2 トランジスタ差動対の差動入力に 180° 位相のシフトした第 1 発振信号が入力される一方、第 3 および第 4 トランジスタ差動対の差動入

力に上記第1発振信号が90°位相シフトした第2発振信号が入力されることを特徴とする請求項11に記載の可変利得増幅器。

【請求項16】

第1トランジスタと、該第1トランジスタと対になってカレントミラーを構成する第2トランジスタと、上記第1および第2トランジスタの動作制御電圧を複数の値に切り替える切替回路とを含み、並列に配置されている単位カレントミラー回路を複数備え、各単位カレントミラー回路の電流入力同士が接続されるとともに、各カレントミラー回路の電流出力同士が接続される可変インピーダンスカレントミラー回路を上記電流経路制御部の代わりに備えていることを特徴とする請求項2、3、4、5、6、7、8、10、11、12、13、14または15に記載の可変利得増幅器。

【請求項17】

各単位回路における上記電流制御トランジスタに一定の電流を供給する電流源を備えていることを特徴とする請求項2、3、4、5、6、7、8、11、12、13、14、15または16に記載の可変利得増幅器。

【請求項18】

上記切替制御信号が、上記電流制御トランジスタを導通および遮断させるための2値をとり、

i (0, 1, 2, ..., k ; k は0以上の整数) 段階の順位が個々に付与された上記切替制御信号に対応する上記単位回路の上記増幅トランジスタのチャネル幅を w_i とし、上記切替制御信号が上記動作制御電圧を上記電流制御トランジスタを導通させる動作制御電圧に切り替えていく上記単位回路を $i=0$ から1つずつ段階的に増加させていくときに、第 i 段階の利得を持つ増幅トランジスタのチャネル幅を W_i とし、

$$R = (W_k / W_0)^{1/k}$$

を満たす定数 R を設定すると、上記増幅トランジスタは、そのチャネル幅が、

$$w_i = W_0 \times R^i - W_0 \times R^{(i-1)}$$

を満たすように形成されていることを特徴とする請求項5、11、12、13、14、15、16または17に記載の可変利得増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子を用いて構成する高い線形性を持つ可変利得増幅器に係り、特に、広帯域の無線通信機の実現等に有効な可変利得増幅器に関するものである。

【0002】

【従来の技術】

ケーブルや電波を用いたテレビ放送のチューナのような広帯域の無線通信機は、強い信号が入力されたときのチャンネル間相互変調妨害を抑えるため、高い線形性（歪の小さい）を持つ可変利得増幅器を必要とする。従来のディスクリート部品を用いて構成されるチューナでは、線形性の高いPINダイオード部品を用いて信号の減衰器を構成し、増幅器には強い信号が入力されないようにして、相互変調妨害信号の発生を抑えてきた。しかし、CMOSやBipolar等の一般に用いられる半導体集積回路上にPINダイオードを形成することはできない。このため、無線通信機を半導体集積回路で構成するためには、異なる可変利得増幅器を実現する方法が必要になる。

【0003】

このような可変利得増幅器の構成方法が、米国特許6,100,761号(Highly Linear Variable-Gain Low Noise Amplifier)に開示されている。この増幅器は、図23に示すように、トランジスタIQ1・IQ2を含むNPNトランスコンダクタ対を備えている。トランジスタIQ1・IQ2のコレクタには、可変抵抗 $1R_c$ を介して電源電圧 V_c が印加され、エミッタには可変抵抗 $1R_e$ を介してGNDラインに接続されている。また、トランジスタIQ1・IQ2のベースは、それぞれ入力 I_{N+} ・ I_{N-} が入力されるとともに、それぞれ抵抗 $1R_{b1}$ ・ $1R_{b2}$ を介してバイアス電圧 V_b が入力される。

【0004】

この増幅器の利得は、 $1R_c / (1/g_m + 1R_e)$ となる。ここで、 g_m は、トランジスタIQ1・IQ2のトランスコンダクタンスを表している。上記の

増幅器では、 $1 R_e$ を図24に示すように、抵抗 $R_{n1} \cdot R_{n2} \cdot R_{n3} \dots$ からなる抵抗ラダーおよび各抵抗間に接続されたnMOSスイッチ $M_{n1} \cdot M_{n2} \cdot M_{n3} \dots$ によって構成して可変利得の制御を実現している。nMOSスイッチ $M_{n1} \cdot M_{n2} \cdot M_{n3} \dots$ は、それぞれゲートに入力される電圧 $V_{n1} \cdot V_{n2} \cdot V_{n3} \dots$ によって動通・遮断が制御される。

【0005】

【発明が解決しようとする課題】

ところが、上記の増幅器には、次の3つの課題がある。

【0006】

第1に、抵抗ラダーを精度よく設計するためには、nMOSスイッチ $M_{n1} \cdot M_{n2} \cdot M_{n3} \dots$ のオン抵抗を低く抑える必要がある。しかし、例えば、標準的な $0.25 \mu m$ CMOSプロセスを用いてオン抵抗 1Ω のスイッチを作るためにはチャネル幅が $1000 \mu m$ である巨大なトランジスタを必要とする。従って、上記の抵抗ラダーを実現するには、このような巨大なトランジスタが複数必要になり、このために実装面積が大きくなる。

【0007】

第2に、可変抵抗 $1 R_e$ の抵抗値を変化させると回路を流れる電流が変化し、トランジスタの動作点が変動する。この変動を抑えるため、図25に示すようなバイアス電圧 V_b の調整回路を設けている。この調整回路では、トランジスタ5Q1のコレクタとベースとの間に抵抗 $5 R_b$ が接続され、トランジスタ5Q1のエミッタとGNDラインとの間に可変抵抗 $5 R_e$ が設けられている。また、抵抗 $5 R_b$ とコレクタとの接続点にバイアス電流 $5 I_c$ が流され、同コレクタに現れる電圧 $5 V_b$ がバッファアンプ501を介してバイアス電圧 V_b として出力される。しかし、この調整回路では、抵抗ラダーのレプリカとなる抵抗 $5 R_b$ を含むため、実装面積が大きくなる。

【0008】

第3に、図23および図25に示す構成は、Bipolar トランジスタが用いられているが、Bi CMOSプロセスよりも安価なCMOSプロセスを用いて同様の回路を実現するため、Bipolar トランジスタをMOS トランジスタに置き換えた

ものを考える。ここで、MOSトランジスタを流れる電流 I は、

$$I = K \cdot (W/L) \cdot V_{od}^2 \quad \dots (1)$$

で与えられる。

【0009】

ここで、 K はプロセスから決まる定数であり、 W はトランジスタのチャネル幅であり、 L はトランジスタのチャネル長である。また、 $V_{od} = V_{gs} - V_{th}$ であり、 $V_{gs} = V_g - V_s$ である。ここに、 V_g はゲート電圧であり、 V_s はソース電圧であり、 V_{th} はトランジスタの閾値電圧である。そうすると、利得を下げるために可変抵抗 $1 R_e$ の抵抗値を変えても、バイアス電圧 V_b の調整回路が一定電流を流すように働き、電圧 V_{od} が変化しない。

【0010】

ところで、回路の3次の歪成分を現す指標であり、2トーン入力を与えた際の3次相互変調成分が1次の成分と同じ値になる入力値である IIP_3 （3次の入力インターセプトポイント）に関して、文献“RF Linearity of Short-Channel MOSFETs, Theerachet Soorapanth and Thomas H. Lee, First International Workshop on Design of Mixed-Mode Integrated Circuits and Applications, Cancun, Mexico, July, 28-30, 1997, pp.81-84”に言及されている。この文献のFig.5によると、MOSトランジスタの IIP_3 は V_{od} の値で決まることがわかる。従って、可変抵抗 $1 R_e$ の抵抗値を変えることで増幅器の利得を変えても IIP_3 は変化しない。

【0011】

本発明は、上記の事情に鑑みてなされたものであって、利得の減少分を IIP_3 の増大分として作用させることができる実装面積の小さい可変利得増幅器を実現することを目的としている。

【0012】

【課題を解決するための手段】

本発明の可変利得増幅器は、上記の課題を解決するために、入力信号を増幅する増幅トランジスタと、上記増幅トランジスタの大きさおよび上記増幅トランジスタを流れる電流の経路を制御する電流経路制御部とを備えていることを特徴と

している。

【 0 0 1 3 】

上記の構成では、電流経路制御部によって電流を一定に保った状態で、増幅トランジスタの大きさ (W/L) が縮小または増大すると、線形性の指標である $IIP3$ が増大または減少し、利得が低下または上昇する。これにより、CMOS 構成の可変利得増幅器において利得を低下させても、 $IIP3$ が増大しないという不都合を解消することができる。また、従来、可変利得のために用いられていた前述の抵抗ラダーが不要になるため、抵抗ラダーにおけるスイッチのオン抵抗を低下させるための大きいスイッチも不要になる。

【 0 0 1 4 】

本発明の基本となる上記の可変利得増幅器は、上記電流経路制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタを含み、並列に配置されている複数の単位回路をさらに備え、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続されていることが好ましい。

【 0 0 1 5 】

この構成では、電流制御トランジスタの制御によって、増幅トランジスタを流れる電流を独立に制御することができる。例えば、ある単位回路の増幅トランジスタを流れる電流を遮断すると、この単位回路の増幅トランジスタは入力信号の増幅に寄与しなくなる。

【 0 0 1 6 】

この可変利得増幅器においては、各単位回路が、上記電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路を有していることが好ましい。このように構成することにより、増幅トランジスタの大きさと、単位回路における増幅トランジスタを流れる電流とを制御することができる。

【 0 0 1 7 】

この可変利得増幅器においては、各単位回路の上記切替制御回路に、共通する上記動作制御電圧が入力されることが好ましい。このように構成することにより、使用する動作制御電圧の数が少なくなる。

【0018】

この可変利得増幅器においては、各単位回路毎に上記切替制御回路の出力を切り替える切替制御信号に基づいて上記動作制御電圧を発生する電圧発生回路を備えていることが好ましい。このように構成することにより、切替制御信号の値に応じて、動作制御電圧の値を変化させて、増幅トランジスタの大きさを変化させるとともに、増幅トランジスタに流れる電流量を制御することができる。

【0019】

あるいは、上記動作制御電圧が、各単位回路に流れる電流を遮断するような値と、各単位回路に電流を流すような値との2つの電圧であることが好ましい。このような構成では、電流を遮断することにより増幅トランジスタの大きさが小さくなった場合、動作制御電圧を電流を遮断する電圧から遠ざかるように制御すれば、流れる電流量を一定に保つことができる。

【0020】

この可変利得増幅器値においては、上記電圧発生回路が、電流が遮断された単位回路の数に応じて他方の動作制御電圧を変化させ、残余の単位回路に流れる総電流量を制御することが好ましい。このように構成することにより、可変利得増幅器全体で各単位回路に流れる電流を制御することができる。

【0021】

この可変利得増幅器においては、電圧発生回路が、上記総電流量を一定に制御するように上記動作制御電圧を発生することが好ましい。このように構成することにより、電流が流れる単位回路からなる可変利得増幅器において、利得の減少分を確実にIIP3の増大分として作用させることができる。

【0022】

本発明の基本となる前記の可変利得増幅器においては、上記電流経路制御部が、上記増幅トランジスタの大きさを変化させる一方、上記増幅トランジスタを流れる電流を一定に制御することが好ましい。このように構成することにより、増幅トランジスタの大きさに関わらず、流れる電流が一定値に保たれるので、増幅トランジスタの大きさが小さくなって利得が低下したときに、IIP3を増大させることができる。

【 0 0 2 3 】

この可変利得増幅器においては、上記電流経路制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタと、上記電流制御トランジスタとともにカレントミラーを構成する補助電流制御トランジスタと、上記電流制御トランジスタおよび上記補助電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路とを含み、並列に配置されている単位回路であって、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続される複数の単位回路と、上記補助電流制御トランジスタに一定の電流を供給する電流源とを備えていることが好ましい。

【 0 0 2 4 】

このような構成では、補助電流制御トランジスタに電流源によって一定の電流が流れる一方、電流制御トランジスタおよびこれとともにカレントミラーを構成する補助電流制御トランジスタが、切替制御回路によって切り替えられた動作制御電圧によって動通・遮断が制御される。これにより、電流制御トランジスタにも、補助電流制御トランジスタに流れる一定の電流が流れるので、同じ電流が増幅トランジスタにも流れる。このような可変利得増幅器では、増幅トランジスタの大きさに関わらず、一定の電流を流すことができる回路を、電流制御トランジスタと補助電流制御トランジスタとをMOSトランジスタで簡素に構成することによって実現できる。

【 0 0 2 5 】

単位回路を備えた上記の各可変利得増幅器においては、上記増幅トランジスタが増幅トランジスタ差動対からなることが好ましい。このように構成することにより、トランジスタ差動対から得られる信号が全差動信号となり、電源電圧や接地電圧の変動に耐性の高い回路を構成することができる。

【 0 0 2 6 】

単位回路を備えた上記の各可変利得増幅器においては、各単位回路の出力が、負荷インピーダンスを介して電源に接続されていることが好ましい。このように構成することにより、出力電流が電圧に変換され、電圧入力・電圧出力型の可変

利得増幅器が実現できる。

【0027】

単位回路を備えた上記の各可変利得増幅器においては、各単位回路の出力がソースに接続されるトランジスタ差動対と、該トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることが好ましい。このように構成することにより、可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。

【0028】

この可変利得増幅器においては、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第1トランジスタ差動対および該差動出力の他方がソースに接続される第2トランジスタ差動対であって、互いの差動出力が交差接続される第1および第2トランジスタ差動対と、該第1および第2トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記第1および第2トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることが好ましい。このように構成することにより、全差動型可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。

【0029】

あるいは、増幅トランジスタ差動対を備えた上記の可変利得増幅器においては、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第1トランジスタ差動対および該差動出力の他方がソースに接続される第2トランジスタ差動対であって、互いの差動出力が交差接続される第1および第2トランジスタ差動対と、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第3トランジスタ差動対および該差動出力の他方がソースに接続される第4トランジスタ差動対であって、互いの差動出力が交差接続される第3および第4トランジスタ差動対と、該第1ないし4トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記第1および第2トランジスタ差動対の

差動入力に 180° 位相のシフトした第 1 発振信号が入力される一方、第 3 および第 4 トランジスタ差動対の差動入力に上記第 1 発振信号が 90° 位相シフトした第 2 発振信号が入力されることが好ましい。

【0030】

このように構成することにより、ある信号成分が第 1 および第 2 トランジスタ差動対の出力から取り出され、その信号成分を 90° 位相シフトした信号成分が第 3 および第 4 トランジスタ差動対の出力から取り出される。これにより、このような異なる 2 つの信号成分を取り出す可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。

【0031】

単位回路を備えた上記の各可変利得増幅器においては、第 1 トランジスタと、この第 1 トランジスタと対になってカレントミラーを構成する第 2 トランジスタと、上記第 1 および第 2 トランジスタの動作制御電圧を複数の値に切り替える切替回路とを含み、並列に配置されている単位カレントミラー回路を複数備え、各単位カレントミラー回路の電流入力同士が接続されるとともに、各単位カレントミラー回路の電流出力同士が接続される可変インピーダンスカレントミラー回路を上記電流経路制御部の代わりに備えていることが好ましい。

【0032】

このように構成することにより、可変インピーダンスカレントミラー回路が、増幅トランジスタの大きさが小さい場合には、電流制御トランジスタの大きさを大きくするので、十分な電流を流すことができる。これにより、補助電流制御トランジスタから電流制御トランジスタへコピーされる電流が減少することはない。

【0033】

単位回路を備えた上記の各可変利得増幅器においては（ただし、上記補助電流制御トランジスタに一定の電流を供給する電流源を備える可変利得増幅器を除く）、各単位回路における上記電流制御トランジスタに一定の電流を供給する電流源を備えていることが好ましい。このように構成することにより、電流制御トラ

ンジスタの遮断・導通がいかなる状態であっても(ただし、全てが遮断されている場合は除く)、増幅トランジスタを流れる電流は電流源の電流値となる。それゆえ、電流源の電流値を一定に保って、遮断する単位回路数を増加させると、増幅トランジスタの大きさが小さくなって利得が低下したときに、IIP3を増大させることができる。

【0034】

上記切替制御信号を用いた上記の各可変利得制御装置においては、上記切替制御信号が、上記電流制御トランジスタを導通および遮断させるための2値をとり、 i ($0, 1, 2, \dots, k$; k は0以上の整数) 段階の順位が個々に付与された上記切替制御信号に対応する上記単位回路の上記増幅トランジスタのチャンネル幅を w_i とし、上記切替制御信号が上記動作制御電圧を上記電流制御トランジスタを導通させる動作制御電圧に切り替えていく上記単位回路を $i = 0$ から1つずつ段階的に増加させていくときに、第 i 段階の利得を持つ増幅トランジスタのチャンネル幅を W_i とし、

$$R = (W_k / W_0)^{1/k}$$

を満たす定数 R を設定すると、上記増幅トランジスタは、そのチャンネル幅が、

$$w_i = W_0 \times R^i - W_0 \times R^{(i-1)}$$

を満たすように形成されていることが好ましい。

【0035】

上記の構成では、増幅トランジスタの大きさを変化させるときに、切替制御信号に i 段階の順位を付与することによって、 $i = 0$ から k の順に、切替制御信号が動作制御電圧を電流制御トランジスタを導通させる動作制御電圧に切り替えていくと、導通する電流制御トランジスタの数(すなわち、それを含む単位回路の数)が段階的に増加していき、それに応じて、導通した電流制御トランジスタによって流れる電流が制御される増幅トランジスタの数も増加していく。第 i 段階の利得を持つ増幅トランジスタ($i = 0$ から k までの段階で導通した電流制御トランジスタによって電流が制御される全ての増幅トランジスタ)のチャンネル幅(加算チャンネル幅と称する) W_i は、各増幅トランジスタのチャンネル幅 w_i の総和で表され、また、増幅トランジスタのチャンネル幅 w_i が上式のように、定数 R を

公比とする等比数列 $W_0 \times R^i$ および等比数列 $W_0 \times R^{(i-1)}$ の階差数列で表されるように設定される。

【 0 0 3 6 】

これにより、加算チャネル幅 W_i は、定数 R のべき乗に比例する（後述の式（6）参照）。また、電流制御トランジスタの導通によって導通した増幅トランジスタによって定まる利得は、加算チャネル幅 W_i のべき乗に比例する。それゆえ、上記の利得は、デシベル表示（対数表示）で i に線形に依存する。

【 0 0 3 7 】

【発明の実施の形態】

本発明の各実施の形態について図 1 ないし図 2 2 および図 2 6 に基づいて説明すれば、以下の通りである。

【 0 0 3 8 】

まず、本実施の形態に係る可変利得増幅器の基本原理について説明する。

【 0 0 3 9 】

図 1 に示すように、増幅トランジスタ部 Q と、電流経路制御回路 C とを備えている。電流経路制御部としての電流経路制御回路 C は、増幅トランジスタ部 Q に流れる電流の経路を制御することによって、増幅トランジスタ部 Q を構成するトランジスタの大きさならびに $IIP3$ および利得を制御する。

【 0 0 4 0 】

（1）式より、MOS トランジスタの $IIP3$ を決める電圧 V_{od} は、

$$V_{od} = \{ I / (K \cdot W / L) \}^{1/2} \quad \dots (2)$$

と表される。一方、MOS トランジスタの利得を決めるトランスコンダクタンス g_m は、式（1）を微分することにより、

$$g_m = 2 \cdot K \cdot (W / L) \cdot V_{od} = 2 \cdot \{ I \cdot K \cdot W / L \}^{1/2} \quad \dots (3)$$

となる。

【 0 0 4 1 】

（2）式および（3）式より、電流制御回路 C によって電流 I を一定に保った状態で、トランジスタの大きさ W / L が縮小または増大すると、電圧 V_{od} または $IIP3$ が増大または減少し、トランスコンダクタンス g_m または利得が減少ま

たは増大することがわかる。本発明の可変利得増幅器は、この現象に基づき、増幅トランジスタを流れる電流 I を保って、トランジスタの大きさ W/L を縮小あるいは増大することにより、 $IIP3$ を増大あるいは減少させ、利得を低下あるいは上昇させることができる。

【 0 0 4 2 】

以下に、上記の可変利得増幅器の具体的構成を各実施の形態において説明する。なお、各実施の形態で共通する構成要素については、同一の符号を付記する。

【 0 0 4 3 】

〔実施の形態 1〕

本実施の形態に係る可変利得増幅器は、図 2 に示すように、信号入力トランジスタ 11（増幅トランジスタ）および電流制御トランジスタ 12 からなる単位回路 1 を複数備えている。この単位回路 1 では、信号入力トランジスタ 11 のソースと電流制御トランジスタ 12 のドレインとが接続され、信号入力トランジスタ 11 のドレインを信号出力としている。単位回路 1 … が並列に配置されるとともに、各単位回路 1 の信号入力（信号入力トランジスタ 12 のゲート）同士が接続され、かつ信号出力同士が接続されることにより、制御入力を複数有する可変トランスコンダクタンス（電圧電流利得）回路が構成される。

【 0 0 4 4 】

このように構成される可変トランスコンダクタンス回路において、電流制御トランジスタ 12 のゲート電圧を制御することにより、各単位回路 1（信号入力トランジスタ 11）を流れる電流を独立に制御することができる。電流制御トランジスタ 12 のゲートに一方の電源電圧（低電位側電源電圧）、例えば、nMOS トランジスタであれば接地電圧を与え、pMOS トランジスタであれば電源電圧（高電位側電源電圧）を与えることにより、その単位回路 1 の電流を遮断することができる。すなわち、この単位回路 1 の信号入力トランジスタ 11 が入力信号の増幅に寄与しないので、信号入力トランジスタ 11 の実質的な大きさを単位回路 1 毎に制御することができる。もちろん、後述するように、信号入力トランジスタ 11 の大きさは各単位回路 1 で異なっても良い。

【 0 0 4 5 】

上記の構成において、各単位回路 1 のトランジスタのゲート長 L を共通にすることにより、信号入力トランジスタ 1 1 の大きさ W/L を制御することができる。

【 0 0 4 6 】

〔実施の形態 2〕

本実施の形態に係る可変利得増幅器は、図 3 (a) に示すように、図 2 の可変利得増幅器における単位回路 1 にさらに電流制御切替スイッチ 1 3 を備えた単位回路 2 を複数備えている。切替制御回路としての電流制御切替スイッチ 1 3 は、電流制御用トランジスタ 1 2 のゲート（入力部）に与えるゲート電圧（動作制御電圧）として、異なる電流制御電圧 V_{cnt1} ・ V_{cnt2} を切替制御信号 B によって切り替えて与える。切替制御信号 B は、各ビットを構成する b_0 , b_1 , ..., b_k (k は 0 以上の整数) からなるデジタル信号であり、各ビットの値が各単位回路 2 に入力される。

【 0 0 4 7 】

通常、この切替制御信号 B は、出力信号の大きさが一定になるように、入力信号、あるいは出力信号の大きさに応じて生成される。

【 0 0 4 8 】

なお、図 3 (a) の構成では、2 つの電流制御電圧 V_{cnt1} ・ V_{cnt2} を切り替える場合について示しているが、3 つ以上の電流制御電圧を切り替えるようにしてもよい。

【 0 0 4 9 】

このようなロジック制御により、電流増幅に寄与する信号入力トランジスタ 1 1 の大きさと、単位回路 2 を流れる電流とが制御可能になり、より精度の高い制御を行うことができる。例えば、 $B = 0$ 、すなわち (b_0 , b_1 , ..., b_k) が全て “0” の場合、全てのトランジスタが遮断されるので、出力電流が流れない。 $(b_0$, b_1 , ..., $b_k)$ のうち 1 つでも “1” であれば、それが入力される単位回路 2 における電流制御トランジスタ 1 2 が動作する。さらに、(b_0 , b_1 , ..., b_k) が全て “1” である場合、電流制御トランジスタ 1 2 を流れる電流が最大となる。

【0050】

上記の電流制御切替スイッチ13は、具体的には、例えば、図3（b）に示すように伝送ゲート13a・13bと、インバータ13cとから構成されている。伝送ゲート13aは、pMOSランジスタpQ1と、nMOSトランジスタnQ1とが並列に接続されてなり、伝送ゲート13bは、pMOSトランジスタpQ2と、nMOSトランジスタnQ2とが並列に接続されてなる。インバータ13cは、pMOSトランジスタpQ3と、nMOSトランジスタnQ3とが直列に接続されてなる。

【0051】

切替制御信号Bの各ビット b_n ($n=0, 1, \dots, k$) は、pMOSトランジスタpQ2・pQ3およびnMOSトランジスタnQ1・nQ3のゲートに入力される。また、pMOSトランジスタpQ3およびnMOSトランジスタnQ3のドレイン同士の接続点は、pMOSランジスタpQ1およびnMOSトランジスタnQ2のゲートに接続されている。

【0052】

このように構成される電流制御切替スイッチ13では、ビット b_n の値が、nMOSトランジスタnQ1およびpMOSトランジスタpQ2のゲートに直接入力される一方、インバータ13cを介して反転された状態でpMOSトランジスタpQ1およびnMOSトランジスタnQ2のゲートに入力される。これにより、ビット b_n の2値に応じて伝送ゲート13a・13bのいずれか一方が開いて、電流制御電圧 V_{cnt1} ・ V_{cnt2} のいずれか一方を出力する。

【0053】

ここで、図3（a）の構成では、信号入力トランジスタ11の大きさと、単位回路2を流れる電流との制御を単位回路2毎に異ならせるように、各単位回路2で電流制御電圧 V_{cnt1} ・ V_{cnt2} をどのように設定してもよい。

【0054】

また、図4に示すように、電流制御電圧 V_{cnt1} ・ V_{cnt2} を各単位回路2で共通化してもよい。このような構成では、2つの電流制御電圧 V_{cnt1} ・ V_{cnt2} のみを用いるので、多くの電圧を用意する必要がなく、信号入力トランジスタ11を流

れる電流量の制御が容易になる。

【0055】

例えば、図5に示す構成では、電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ を変化させる制御電圧発生回路31を備えている。制御電圧発生回路31は、電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ の値を切替制御信号Bの各ビット b_n の値に応じて制御する。これにより、各ビット b_n の値に応じて、電流制御電圧 $V_{cnt1} \cdot V_{cnt2}$ の値を変化させて、増幅に寄与する信号入力トランジスタ11の大きさを変化させるとともに、信号入力トランジスタに流れる電流量を制御することができる。

【0056】

また、図6に示す構成では、図5の特別な実施形態として、電流制御電圧 V_{cnt2} (V_{cnt1} であってもよい) が、信号入力トランジスタ11に流れる電流を遮断するための一方の電源電圧 V_{ss} (低電位側の例えば接地電圧) に固定されている。

【0057】

このような構成では、電流を遮断することにより信号入力トランジスタ11の大きさが小さくなった場合、流れる電流量を一定に保つためには、電流制御電圧 V_{cnt1} (または V_{cnt2}) を電流を遮断する一方の電源電圧 V_{ss} から遠ざかるように制御すればよい。また、制御電圧発生回路31は、電流が遮断された単位回路2の数に応じて他方の電流制御電圧 V_{cnt1} (または V_{cnt2}) を変化させ、残余の単位回路2に流れる総電流量を一定となるように制御している。

【0058】

図7に示す構成は、図6の構成を実現する一例であって、制御電圧発生回路31としてDA変換器32を備えている。このDA変換器32は、入力されるデジタルの切替制御信号Bをアナログに変換して電流制御電圧 V_{cnt1} を生成する。

【0059】

〔実施の形態3〕

本実施の形態に係る可変利得増幅器は、図8に示すように、前述の図4ないし図7に示す可変利得増幅器の機能をMOSトランジスタで簡潔に実現するように構成されている。この可変利得増幅器は、具体的には、前述の単位回路2の代わ

りに、各単位回路 2 にさらに補助電流制御トランジスタとしての電流制御トランジスタ 14 を加えた単位回路 3 を複数備えるとともに、電流源 15 を備えている。

【0060】

複数の単位回路 3 …は、単位回路 2 …と同様、並列に配置されている。また、各単位回路 3 の信号入力同士が接続されるとともに、各単位回路 3 の信号出力同士が接続されている。

【0061】

信号入力トランジスタ 11 のソースと電流制御トランジスタ 12 のドレインとが接続され、電流制御トランジスタ 12 のゲートは、電流制御トランジスタ 14 のゲート、および電流制御切替スイッチ 13 の出力端に接続されている。電流制御切替スイッチ 13 の一方の入力端には前述の電源電圧 V_{ss} が入力され、他方の入力端には電流制御トランジスタ 14 のドレインが接続されている。また、各単位回路 3 の電流制御トランジスタ 14 のドレイン同士が一定の電流値 I の電流を供給する電流源 15 に接続されている。

【0062】

このように構成される可変利得増幅器では、各単位回路 3 において、電流制御トランジスタ 12・14 がカレントミラーを構成するので、切替制御信号 B がいかなるデジタル入力値であっても（ただし、全ビットが 0 の場合を除く）、電流制御トランジスタ 12・14 の遮断・導通が同様に行われる。それゆえ、信号入力トランジスタ 11 は、その大きさに関わらず、流れる電流が電流源 15 の電流値 I に保たれる。これにより、信号入力トランジスタ 11 の大きさが小さくなると利得が下がると、電圧 V_{od} が大きくなり IIP_3 が増大する。

【0063】

この状況をシミュレーションで再現したものを図 9 (a) および (b) に示す。このシミュレーションでは、信号入力トランジスタ 11、電流制御トランジスタ 12、電流制御トランジスタ 14 とともに、 $W=10\mu\text{m}$ 、 $L=0.24\mu\text{m}$ で定まる大きさである単位回路 3 が 64 個並列接続された回路を用いている。

【0064】

図 9 (a) は、増幅に寄与する単位回路 3 の数（トランジスタの大きさ）を横軸に Log スケールで示し、その数が 2、4、8、16、32、64 である場合の利得および IIP3 の変化を示したグラフである。このグラフから、単位回路数が増加するにしたがって利得が増大する一方、IIP3 が減少することが確認できる。図 9 (b) は、横軸に利得をとり、縦軸に IIP3 をとってプロットしたグラフである。このグラフから、利得が減少していくにしたがって IIP3 が増加する対応が確認できる。

【0065】

なお、図 9 (a) のグラフから、増幅に寄与するトランジスタの大きさをべき乗で変化させることにより、その利得特性および IIP3 特性がほぼ線形に変化することがわかる。

【0066】

〔実施の形態 4〕

本実施の形態に係る可変利得増幅器は、図 10 に示すように、図 7 に示す可変利得増幅器の出力が、負荷インピーダンス 16 を介して他方の電源に接続されるように構成されている。この電源は、電源電圧 V_{cc} （高電位側の電源電圧）を発生する。これにより、出力電流が電圧に変換され、電圧入力・電圧出力型の可変利得増幅器が実現できる。

【0067】

なお、このような構成は、図 7 の可変利得増幅器に限らず、図 1 ないし図 6 および図 8 の可変利得増幅器に適用できる。

【0068】

〔実施の形態 5〕

本実施の形態に係る可変利得増幅器は、図 11 に示すように、図 7 に示す可変利得増幅器の出力がトランジスタ差動対 17 を介して 2 つの負荷インピーダンス 18・19 に接続され、さらにこれらを介して電源電圧 V_{cc} のラインに接続されるように構成されている。トランジスタ差動対 17 は、トランジスタ 17a・17b からなり、それぞれのゲートには、互いに 180° 位相のシフトした発振信号 VL0 が入力される。このように構成することによって、可変利得制御機能を持

つミキサ回路を実現できる。

【 0 0 6 9 】

通常、カスケード接続させる増幅器とミキサ回路とが、本実施の形態のように融合して構成されることにより、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができる。

【 0 0 7 0 】

なお、このような構成は、図 7 の可変利得増幅器に限らず、図 1 ないし図 6 および図 8 の可変利得増幅器に適用できる。

【 0 0 7 1 】

また、本実施の形態の可変利得増幅器は、トランジスタ差動対 1 7 と同様なトランジスタ差動対をもう 1 つ追加することによって、後述する実施の形態 8 におけるトランジスタ差動対 2 0 ・ 2 2 （図 2 1 参照）を備えたように構成されていてもよい。このような構成では、追加されたトランジスタ差動対のソースが可変利得増幅器の出力に接続され、追加されたトランジスタ差動対の差動出力がそれぞれ異なる 2 つの負荷インピーダンス（例えば図 2 1 の負荷インピーダンス 2 4 ・ 2 5）に接続される。また、一方のトランジスタ差動対には、上記発振信号 V_{L0} と同様な発振信号（例えば、図 2 1 の発振信号 V_{L0I} ）が入力され、他方のトランジスタ差動対には、その発振信号が 90° 位相シフトした発振信号（例えば、図 2 1 の発振信号 V_{L0Q} ）が入力される。

【 0 0 7 2 】

この構成では、ある信号成分が一方のトランジスタ差動対から取り出され、その信号成分を 90° 位相シフトした信号成分が他方のトランジスタ差動対から取り出される。これにより、このような異なる 2 つの信号成分を取り出す可変利得制御機能を持つミキサ回路を実現できる。

【 0 0 7 3 】

〔実施の形態 6〕

実施の形態 1 ないし 5 の可変利得増幅器においては、入力信号および出力信号が全差動信号ではない。本実施の形態では、これらの信号を全差動信号とすることにより、電源電圧や接地電圧の変動に耐性の高い回路が構成できる。

【 0 0 7 4 】

図 1 2 ないし図 1 9 に、それぞれ、図 2 ないし図 8 および図 1 0 の可変利得増幅器に、ある回路の入出力を全差動構成にした可変利得増幅器を示す。具体的には、各可変利得増幅器では、信号入力トランジスタ 1 1 に代えて、信号入力トランジスタ 1 1 a ・ 1 1 b の差動対を備えている。

【 0 0 7 5 】

以下に、本実施の形態の可変利得増幅器の代表例として図 1 8 の構成（図 8 の可変利得増幅器に対応）を説明する。

【 0 0 7 6 】

この構成では、信号入力トランジスタ 1 1 a ・ 1 1 b のソースが、ともに電流制御トランジスタ 1 2 のドレインに接続され、電流制御トランジスタ 1 2 のゲートが、電流制御トランジスタ 1 4 のゲート、および電流制御切替スイッチ 1 3 の出力端に接続されている。電流制御切替スイッチ 1 3 の一方の入力端には前述の電源電圧 V_{ss} が入力され、他方の入力端には電流制御トランジスタ 1 4 のドレインが接続されている。また、各単位回路 3 の電流制御トランジスタ 1 4 のドレインがともに電流源 1 5 に接続されている。

【 0 0 7 7 】

各単位回路 3 については、差動信号入力同士が接続されるとともに、差動信号出力同士が接続されている。つまり、差動信号入力については、信号入力トランジスタ 1 1 a … のゲート同士が接続される一方、信号入力トランジスタ 1 1 b … のゲート同士が接続されている。また、差動信号出力については、信号入力トランジスタ 1 1 a … のドレイン同士が接続される一方、信号入力トランジスタ 1 1 b … のドレイン同士が接続されている。

【 0 0 7 8 】

このような構成では、切替制御信号 B がいかなるデジタル入力値であっても（ただし、全ビットが 0 の場合を除く）、各単位回路 3 において、電流制御トランジスタ 1 2 ・ 1 4 の遮断および導通が同様に行われるため、信号入力トランジスタ 1 1 a ・ 1 1 b の大きさに関わらず、流れる電流は電流源 1 5 の電流値 I に保たれる。これにより、信号入力トランジスタ 1 1 a ・ 1 1 b の大きさが小さくな

って利得が下がると、 V_{od} が大きくなり $IIP3$ が増大する全差動入出力の可変利得増幅器を実現することができる。

【0079】

〔実施の形態7〕

本実施の形態に係る可変利得ミキサ回路は、図12ないし図18で示した全差動型可変利得増幅器を用いて構成される。ここでは、本実施の形態の代表例として図17の全差動型可変利得増幅器を本実施の形態に適用した構成について説明する。

【0080】

図20に示す可変利得ミキサ回路は、図17の可変利得増幅器に、さらにトランジスタ差動対20・21および負荷インピーダンス18・19を備えて構成されている。

【0081】

第1トランジスタ差動対としてのトランジスタ差動対20は、トランジスタ20a・20bが並列接続されてなり、第2トランジスタ差動対としてのトランジスタ差動対21は、トランジスタ21a・21bが並列接続されてなる。トランジスタ差動対20・21のソースは、それぞれ各単位回路2の差動出力のトランジスタ11a・11bの出力（ドレイン）に接続されている。トランジスタ差動対20の差動入力とトランジスタ差動対21の差動入力とが接続されている。具体的には、トランジスタ20a・21bのゲートが互いに接続されるとともに、トランジスタ20b・21aのゲートが互いに接続されており、それぞれの接続点には、互いに 180° 位相のシフトした発振信号VL0が入力される。

【0082】

また、トランジスタ差動対20・21の差動出力は、交差接続されている。具体的には、トランジスタ20aの出力がトランジスタ21aの出力に接続され、トランジスタ20bの出力がトランジスタ21bの出力に接続されている。さらに、トランジスタ20a・21aの出力は、負荷インピーダンス19を介して電源電圧 V_{cc} のラインに接続される一方、トランジスタ20b・21bの出力は、負荷インピーダンス18を介して電源電圧 V_{cc} のラインに接続されている。

【 0 0 8 3 】

通常、カスケード接続させる増幅器とミキサ回路とが、本実施の形態のように融合して構成されることにより、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができる。

【 0 0 8 4 】

なお、このような構成は、図 1 7 の可変利得増幅器に限らず、図 1 2 ないし図 1 6 および図 1 8 の可変利得増幅器に適用できる。

【 0 0 8 5 】

〔実施の形態 8〕

本実施の形態に係る可変利得ミキサ回路は、図 2 1 に示すように、図 1 2 ないし図 1 8 で示した全差動型可変利得増幅器を用いて構成される。この可変利得ミキサ回路は、無線通信の受信機などで必要となる、ある信号成分とそれを 90° 位相シフトした信号成分を取り出す可変利得制御機能を持つミキサ回路である。ここでは、本実施の形態の代表例として図 1 7 の全差動型可変利得増幅器を本実施の形態に適用した構成について説明する。

【 0 0 8 6 】

図 2 1 に示す可変利得ミキサ回路は、図 1 7 の可変利得増幅器に、さらにトランジスタ差動対 2 0 ～ 2 3 および負荷インピーダンス 1 8 ・ 1 9 ・ 2 4 ・ 2 5 を備えて構成されている。

【 0 0 8 7 】

各単位回路 2 の差動出力とトランジスタ差動対 2 0 ・ 2 1 との接続、トランジスタ差動対 2 0 ・ 2 1 同士の接続およびトランジスタ差動対 2 0 ・ 2 1 と負荷インピーダンス 1 8 ・ 1 9 との接続は、前述の実施の形態 7 の可変利得ミキサ回路（図 2 0 参照）における接続と同様である。ただし、トランジスタ差動対 2 0 ・ 2 1 の差動入力には、前述の発振信号 V_{L0} と同様な 180° 位相のシフトした第 1 発振信号としての発振信号 V_{L0I} が入力される。

【 0 0 8 8 】

一方、第 3 トランジスタ差動対としてのトランジスタ差動対 2 2 は、トランジスタ 2 2 a ・ 2 2 b が並列接続されてなり、第 4 トランジスタ差動対としてのト

ランジスタ差動対 2 3 は、トランジスタ 2 3 a ・ 2 3 b が並列接続されてなる。トランジスタ差動対 2 2 ・ 2 3 は、それぞれ各単位回路 2 の差動出力のトランジスタ 1 1 a ・ 1 1 b の出力に接続されている。トランジスタ差動対 2 2 の差動入力とトランジスタ差動対 2 3 の差動入力とが接続されている。具体的には、トランジスタ 2 2 a ・ 2 3 b のゲートが互いに接続されるとともに、トランジスタ 2 2 b ・ 2 3 a のゲートが互いに接続されており、それぞれの接続点には、発振信号 $V_{L0}I$ が 90° 位相シフトした第 2 発振信号としての発振信号 $V_{L0}Q$ が入力される。

【 0 0 8 9 】

また、トランジスタ差動対 2 2 ・ 2 3 の差動出力は、交差接続されている。具体的には、トランジスタ 2 2 a の出力がトランジスタ 2 3 a の出力に接続され、トランジスタ 2 2 b の出力がトランジスタ 2 3 b の出力に接続されている。さらに、トランジスタ 2 2 a ・ 2 3 a の出力は、負荷インピーダンス 2 5 を介して電源電圧 V_{cc} のラインに接続される一方、トランジスタ 2 2 b ・ 2 3 b の出力は、負荷インピーダンス 2 4 を介して電源電圧 V_{cc} のラインに接続されている。

【 0 0 9 0 】

このような構成では、ある信号成分が第 1 出力から取り出され、その信号成分を 90° 位相シフトした信号成分が第 2 出力から取り出される。これにより、このような異なる 2 つの信号成分を取り出す可変利得制御機能を持つミキサ回路を実現できる。

【 0 0 9 1 】

この構成でも、通常、カスケード接続させる増幅器とミキサ回路とが、本実施の形態のように融合して構成されることにより、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができる。

【 0 0 9 2 】

なお、このような構成は、図 1 7 の可変利得増幅器に限らず、図 1 2 ないし図 1 6 および図 1 8 の可変利得増幅器に適用できる。

【 0 0 9 3 】

〔実施の形態 9〕

図 8 に示す実施の形態 3 の可変利得増幅器では、電流値を保って信号入力トランジスタ 1 1 の大きさを小さくすると V_{od} が増大する。すなわち、信号入力用トランジスタ 1 1 のソース電圧が、電流制御トランジスタ 1 2 の電流を遮断する一方の電源電圧 V_{ss} に接近する。従って、対応する電流制御トランジスタ 1 2 のドレイン・ソース電圧 $V_{ds} = V_d - V_s$ （ここで、 V_d はドレイン電圧であり、 V_s はソース電圧である）が減少する。このため、電流源 1 5 の電流値に比べて電流制御トランジスタ 1 2 が小さすぎると、その動作が線形領域に入り、電流制御トランジスタ 1 4 から電流制御トランジスタ 1 2 へコピーされる電流が減少する。

【0094】

このような不都合を解消するために、信号入力トランジスタ 1 1 の大きさが小さい場合には、電流制御トランジスタ 1 2 の大きさを大きくし、そのドレイン・ソース電圧 V_{ds} が低くても十分な電流が流れるように制御すればよい。図 2 2 (a) に示す回路は、図 8 の構成にその制御機能が加えられて、可変インピーダンスカレントミラー回路 4 を構成している。

【0095】

この可変インピーダンスカレントミラー回路 4 は、並列に配置された複数の単位カレントミラー回路 5 …を備えている。また、各単位カレントミラー回路 5 の電流入力同士が接続されるとともに、各単位カレントミラー回路 5 の電流出力同士が接続されている。また、単位カレントミラー回路 5 は、前述の電流制御トランジスタ 1 2・1 4 および電流制御切替スイッチ 1 3 を備えている。

【0096】

第 1 トランジスタとしての電流制御トランジスタ 1 2 のゲートは、第 2 トランジスタとしての電流制御トランジスタ 1 4 のゲート、および電流制御切替スイッチ 1 3 の出力端に接続されている。電流制御切替スイッチ 1 3 の一方の入力端には前述の電源電圧 V_{ss} が入力され、他方の入力端には電流制御トランジスタ 1 4 のドレインが接続されている。また、各単位カレントミラー回路 5 の電流制御トランジスタ 1 4 のドレイン同士が電流入力のラインに接続されている。一方、各

単位カレントミラー回路 5 の電流制御トランジスタ 1 2 のドレイン同士が電流出力のラインに接続されている。

【 0 0 9 7 】

上記のように構成される可変インピーダンスカレントミラー回路 4 では、前述の切替制御信号 $B = (b_0, b_1, \dots, b_k)$ (k は 0 以上の整数) の値を制御することにより、カレントミラートランジスタ (電流制御トランジスタ 1 2 ・ 1 4) の大きさ (インピーダンス) を変えることができる。例えば、 $B = 0$ 、すなわち (b_0, b_1, \dots, b_k) が全て 0 の場合、全てのトランジスタが遮断されるので、出力電流が流れない。 (b_0, b_1, \dots, b_k) のうち 1 つでも 1 であれば、カレントミラーとして動作する。さらに、 (b_0, b_1, \dots, b_k) が全て 1 である場合、カレントミラートランジスタの大きさが最大となるので、出力インピーダンスが最小となる。

【 0 0 9 8 】

図 2 2 (b) に示す可変利得増幅器は、上記の可変インピーダンスカレントミラー回路 4 を含む単位回路 6 を複数備えている。単位回路 6 … は、必ずしも構造が同一ではなく、並列に配置され、各電流入力が電流源 1 5 に接続され、信号入力同士が接続されるとともに、信号出力同士が接続されている。単位回路 6 においては、可変インピーダンスカレントミラー回路 4 の電流出力と、信号入力トランジスタ 1 1 のソースとが接続されている。

【 0 0 9 9 】

上記のように構成される可変利得増幅器では、切替制御信号 B_0, B_1, \dots, B_n の値を制御することにより、増幅用の信号入力トランジスタ 1 1 の大きさを制御できることは、実施の形態 3 と同様である。信号入力トランジスタ 1 1 の大きさが小さくなった場合、導通している可変インピーダンスカレントミラー回路 4 のトランジスタの大きさを大きくしてインピーダンスを小さくするように制御することにより、前述の電流制御トランジスタ 1 4 から電流制御トランジスタ 1 2 へコピーされる電流が減少するという不都合を解消することができる。

【 0 1 0 0 】

なお、本実施の形態では、図 8 の回路を対象にして説明したが、図 2 ないし図

7 および図 1 0 ないし図 2 1 に示す回路の電流制御用トランジスタ 1 2 は、図 2 2 (a) の可変インピーダンスカレントミラー回路 4 の対応する部分で置き換えられる。これにより、このように構成された可変利得増幅器において、電流制御トランジスタ 1 2 が線形領域動作に入ることを回避することができ、電流制御トランジスタ 1 2 の動作域を拡大することができる。

【0 1 0 1】

〔実施の形態 1 0〕

本実施の形態に係る可変利得増幅器は、図 2 6 に示すように、図 2 に示した可変利得増幅器において、各単位回路 1 の電流制御トランジスタ 1 2 のドレイン同士が、電流値 I の電流を供給する共通の電流源 2 6 に接続されている。

【0 1 0 2】

このように構成される可変利得増幅器では、電流制御トランジスタ 1 2 の遮断・導通がいかなる状態であっても(ただし、全てが遮断されている場合は除く)、信号入力トランジスタ 1 1 を流れる電流は電流源 2 6 の電流値 I となる。従って、電流源 2 6 の電流値を一定に保って、遮断する単位回路数を増加させると、信号入力トランジスタ 1 1 の大きさが小さくなって利得が低下するとともに、 $IIP3$ は増大する。

【0 1 0 3】

なお、上記のように各単位回路 1 の電流制御トランジスタ 1 2 のドレイン同士に接続される共通の電流源 2 6 を備える構成は、図 3 (a)、図 4 ないし図 7、図 1 0 ないし図 1 7、図 1 9 ないし図 2 1 に示す可変利得増幅器に適用できる。

【0 1 0 4】

〔実施の形態 1 1〕

本実施の形態に係る可変利得増幅器は、利得特性および $IIP3$ 特性のデシベル表示値が、導通している単位回路の数に対して線形に変化するように、各単位回路の信号入力トランジスタ 1 1 の大きさが、等比数列の階差数列となるように構成される。

【0 1 0 5】

その具体的構成例を、図 8 の回路に基づいて説明する。この可変利得増幅器の

利得は、切替制御信号 $B = (b_0, b_1, \dots, b_k)$ によって制御される。

【0106】

ここで、利得は、次のように k 段階で制御されるものとする。まず、利得が最小になるのは、 $B = (1, 0, \dots, 0)$ 、すなわち、 $b_0 = 1$ であり、それ以外の b_1, \dots, b_k が全て 0 のときである。次いで、利得が 2 番目に小さくなるのは、 $B = (1, 1, 0, \dots, 0)$ 、すなわち、 $b_0, b_1 = 1$ であり、それ以外の b_2, \dots, b_k が全て 0 のときである。このように、“1” となる b_0, b_1, \dots, b_k の数が、 b_0 から順に増えるにつれて利得が増大するので、利得が最大になるのは、 $B = (1, 1, \dots, 1)$ 、すなわち、 b_0, b_1, \dots, b_k が全て 1 のときである。

【0107】

$i = 0, 1, \dots, k$ について、ビット（切替制御信号） b_i に対応する単位回路 3 の信号入力トランジスタ 11 のチャンネル幅を w_i と表し、第 i 段階（ $i = 0$ から k までの段階の全ての電流制御トランジスタ 12 が導通しているとき）の利得を持つ信号入力トランジスタ 11 のチャンネル幅を W_i と表すことにする。

【0108】

この定義より、 $i = 0, 1, \dots, k$ について、次式、

$$W_i = w_0 + w_1 + \dots + w_i \quad \dots (4)$$

が成立する。

【0109】

ここで、定数 R を

$$R = (W_k / W_0)^{1/k}$$

と設定する。また、 $i = 1, \dots, k$ について、制御信号 b_i に対応する単位回路 3 の信号入力トランジスタ 11 のチャンネル幅 w_i を

$$w_i = W_0 \times R^i - W_0 \times R^{(i-1)} \quad \dots (5)$$

のように、定数 R を公比とする等比数列 $W_0 \times R^i$ および等比数列 $W_0 \times R^{(i-1)}$ の階差数列となるように構成する。

【0110】

すると、(4) 式および (5) 式より、 $i = 0, 1, \dots, k$ について、次式、

$$W_i = W_0 \times R^i \quad \dots (6)$$

が成立する。すなわち、第 i 段階の利得を持つ信号入力トランジスタ 11 のチャネル幅 w_i の総和であるチャネル幅 W_i が公比 R の等比数列になることがわかる。また、利得は、 W_i のべき乗に比例するので、(6) 式より、デシベル表示（対数表示）で i に線形に依存することがわかる。

【0111】

実際には、(3) 式より、利得（トランスコンダクタンス g_m ）は、 W_i の $1/2$ べき乗に比例する。従って、(6) 式より、

$$W_i^{1/2} = W_0^{1/2} \times R^{i/2} \quad \dots (7)$$

が得られる。

【0112】

デシベル表示のために (7) 式において対数をとると、右辺は、

$$1/2 \times \log(W_0) + i \times 1/2 \times \log(R)$$

と表される。この式は i の一次関数であり、利得のデシベル表示値が、単位回路 3 の数 i に線形に依存することが証明された。

【0113】

これにより、広い可変域を得ることができる

なお、本実施の形態では、図 8 の回路を対象にして説明したが、上記のように、利得のデシベル表示値を単位回路の数に線形に依存するように構成することは、切替制御信号 B を用いる図 3 ないし図 7、図 10、図 11、図 13 ないし 22 および図 26 に示す回路にも適用が可能である。

【0114】

【発明の効果】

以上のように、本発明の可変利得増幅器は、入力信号を増幅する増幅トランジスタと、上記増幅トランジスタの大きさおよび上記増幅トランジスタを流れる電流の経路を制御する電流経路制御部とを備えている構成である。

【0115】

これにより、CMOS 構成の可変利得増幅器において利得を低下させても、 I_{P3} が増大しないという不都合を解消することができる。また、従来可変利得

のために用いられていた前述の抵抗ラダーが不要になるため、抵抗ラダーにおけるスイッチのオン抵抗を低下させるための大きいスイッチも不要となる。従って、利得の減少分を I I P 3 の増大分として作用させることができる小さい実装面積の可変利得増幅器を提供することができるという効果を奏する。

【 0 1 1 6 】

本発明の基本となる上記の可変利得増幅器においては、上記電流経路制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタを含み、並列に配置されている複数の単位回路を備え、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続されていることが好ましい。

【 0 1 1 7 】

これにより、電流制御トランジスタの制御によって、増幅トランジスタを流れる電流を独立に制御することができる。例えば、ある単位回路の増幅トランジスタを流れる電流を遮断すると、この単位回路の増幅トランジスタは入力信号の増幅に寄与しなくなる。従って、増幅トランジスタの大きさを単位回路毎に制御することができるという効果を奏する。

【 0 1 1 8 】

この可変利得増幅器においては、各単位回路が、上記電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路を有していることにより、増幅トランジスタの大きさと、単位回路における増幅トランジスタを流れる電流とを制御することができる。従って、より精度の高い制御を行うことができるという効果を奏する。

【 0 1 1 9 】

この可変利得増幅器においては、各単位回路の上記切替制御回路に、共通する上記動作制御電圧が入力されることにより、使用する動作制御電圧の数が少なくなる。従って、増幅トランジスタを流れる電流量の制御を容易にすることができるという効果を奏する。

【 0 1 2 0 】

この可変利得増幅器においては、各単位回路毎に上記切替制御回路の出力を切

り替える切替制御信号に基づいて上記動作制御電圧を発生する電圧発生回路を備えていることにより、切替制御信号の値に応じて、動作制御電圧の値を変化させて、増幅トランジスタの大きさを変化させるとともに、増幅トランジスタに流れる電流量を制御することができる。従って、より精度の高い制御を行うことができるという効果を奏する。

【 0 1 2 1 】

あるいは、上記動作制御電圧が、各単位回路に流れる電流を遮断するような値と、各単位回路に電流を流すような値との2つの電圧であることにより、電流を遮断することで増幅トランジスタの大きさが小さくなった場合、動作制御電圧を電流を遮断する電圧から遠ざかるように制御すれば、流れる電流量を一定に保つことができる。従って、容易に電流量を一定に制御することができるという効果を奏する。

【 0 1 2 2 】

この可変利得増幅器値においては、上記電圧発生回路が、電流が遮断された単位回路の数に応じて他方の動作制御電圧を変化させ、残余の単位回路に流れる総電流量を制御することにより、可変利得増幅器全体で各単位回路に流れる電流を制御することができる。従って、高精度に電流量を制御することができるという効果を奏する。

【 0 1 2 3 】

この可変利得増幅器においては、上記電圧発生回路が、上記総電流量を一定に制御するように上記動作制御電圧を発生することにより、電流が流れる単位回路からなる可変利得増幅器において、利得の減少分を確実に I I P 3 の増大分として作用させることができるという効果を奏する。

【 0 1 2 4 】

本発明の基本となる前記の可変利得増幅器においては、上記電流経路制御部が、上記増幅トランジスタの大きさを変化させる一方、上記増幅トランジスタを流れる電流を一定に制御することにより、増幅トランジスタの大きさに関わらず、流れる電流が一定値に保たれるので、増幅トランジスタの大きさが小さくなって利得が低下したときに、I I P 3 を増大させることができる。従って、より確実

に利得と I I P 3 とを制御することができるという効果を奏する。

【0125】

この可変利得増幅器においては、上記電流経路制御部が上記増幅トランジスタを流れる電流を制御する電流制御トランジスタを有しており、上記増幅トランジスタおよび上記電流制御トランジスタと、上記電流制御トランジスタとともにカレントミラーを構成する補助電流制御トランジスタと、上記電流制御トランジスタおよび上記補助電流制御トランジスタの動作制御電圧を複数の値に切り替える切替制御回路とを含み、並列に配置されている単位回路であって、各単位回路の信号入力同士が接続されるとともに、各単位回路の信号出力同士が接続される複数の単位回路と、上記補助電流制御トランジスタに一定の電流を供給する電流源とを備えている構成である。

【0126】

これにより、カレントミラーを構成する電流制御トランジスタおよび補助電流制御トランジスタによって、電流源からの一定の電流が増幅トランジスタに流れる。それゆえ、増幅トランジスタの大きさに関わらず、一定の電流を流すことができる回路を、電流制御トランジスタと補助電流制御トランジスタとを MOS トランジスタで簡素に構成することによって実現できる。従って、可変利得増幅器の低コスト化を図ることができるという効果を奏する。

【0127】

単位回路を備えた上記の各可変利得増幅器においては、上記増幅トランジスタが増幅トランジスタ差動対からなることにより、トランジスタ差動対から得られる信号が全差動信号となり、電源電圧や接地電圧の変動に耐性の高い回路を構成することができる。従って、より信頼性の高い可変利得増幅器を提供することができるという効果を奏する。

【0128】

単位回路を備えた上記の各可変利得増幅器においては、各単位回路の出力が、負荷インピーダンスを介して電源に接続されていることにより、出力電流が電圧に変換され、電圧入力・電圧出力型の可変利得増幅器が実現できるという効果を奏する。

【 0 1 2 9 】

単位回路を備えた上記の各可変利得増幅器においては、各単位回路の出力がソースに接続されるトランジスタ差動対と、該トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることにより、可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。従って、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができるという効果を奏する。

【 0 1 3 0 】

単位回路を備えた上記の各可変利得増幅器においては、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第1トランジスタ差動対および該差動出力の他方がソースに接続される第2トランジスタ差動対であって、互いの差動出力が交差接続される第1および第2トランジスタ差動対と、該第1および第2トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記第1および第2トランジスタ差動対を構成するトランジスタのゲートに互いに 180° 位相のシフトした発振信号が入力されることにより、全差動型可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。従って、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができるという効果を奏する。

【 0 1 3 1 】

単位回路を備えた上記の各可変利得増幅器においては、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第1トランジスタ差動対および該差動出力の他方がソースに接続される第2トランジスタ差動対であって、互いの差動出力が交差接続される第1および第2トランジスタ差動対と、各増幅トランジスタ差動対の差動出力の一方がソースに接続される第3トランジスタ差動対および該差動出力の他方がソースに接続される第4トランジスタ差動対であって、互いの差動出力が交差接続される第3および第4トランジスタ差動対と、該第1な

いし4トランジスタ差動対のそれぞれの出力を電源に接続する負荷インピーダンスとを備え、上記第1および第2トランジスタ差動対の差動入力に 180° 位相のシフトした第1発振信号が入力される一方、第3および第4トランジスタ差動対の差動入力に上記第1発振信号が 90° 位相シフトした第2発振信号が入力される構成である。

【0132】

これにより、ある信号成分を第1および第2トランジスタ差動対の出力から取り出し、その信号成分を 90° 位相シフトした信号成分を第3および第4トランジスタ差動対の出力から取り出す可変利得制御機能を持つミキサ回路を実現できる。この結果、通常、カスケード接続させる増幅器とミキサ回路とが、融合して構成される。従って、回路の線形性を劣化する電圧／電流変換を行う部分が一箇所になり、回路の線形性を容易に向上させることができるという効果を奏する。

【0133】

単位回路を備えた上記の各可変利得増幅器においては、第1トランジスタと、該第1トランジスタと対になってカレントミラーを構成する第2トランジスタと、上記第1および第2トランジスタの動作制御電圧を複数の値に切り替える切替回路とを含み、並列に配置されている単位カレントミラー回路を複数備え、各単位カレントミラー回路の電流入力同士が接続されるとともに、各カレントミラー回路の電流出力同士が接続される可変インピーダンスカレントミラー回路を上記電流経路制御部の代わりに備えている。

【0134】

これにより、可変インピーダンスカレントミラー回路が、増幅トランジスタの大きさが小さい場合には、電流制御トランジスタの大きさを大きくするので、十分な電流を流すことができる。それゆえ、補助電流制御トランジスタから電流制御トランジスタへコピーされる電流が減少することはない。従って、電流制御トランジスタが線形領域動作に入ることを回避して、電流制御トランジスタの動作域を拡大することができるという効果を奏する。

【0135】

単位回路を備えた上記の各可変利得増幅器においては（ただし、上記補助電流

制御トランジスタに一定の電流を供給する電流源を備える可変利得増幅器を除く)、各単位回路における上記電流制御トランジスタに一定の電流を供給する電流源を備えていることにより、電流制御トランジスタの遮断・導通がいかなる状態であっても(ただし、全てが遮断されている場合は除く)、増幅トランジスタを流れる電流は電流源の電流値となる。それゆえ、電流源の電流値を一定に保って、遮断する単位回路数を増加させると、増幅トランジスタの大きさが小さくなって利得が低下したときに、 I_{IP3} を増大させることができる。従って、利得と I_{IP3} とを容易に制御することができるという効果を奏する。

【0136】

上記切替制御信号を用いた上記の各可変利得制御装置においては、上記切替制御信号が、上記電流制御トランジスタを導通および遮断させるための2値を取り、 i ($0, 1, 2, \dots, k$; k は0以上の整数)段階の順位が個々に付与された上記切替制御信号に対応する上記単位回路の上記増幅トランジスタのチャネル幅を w_i とし、上記切替制御信号が上記動作制御電圧を上記電流制御トランジスタを導通させる動作制御電圧に切り替えていく上記単位回路を $i = 0$ から1つずつ段階的に増加させていくときに、第 i 段階の利得を持つ増幅トランジスタのチャネル幅を W_i とし、

$$R = (W_k / W_0)^{1/k}$$

を満たす定数 R を設定すると、上記増幅トランジスタは、そのチャネル幅が、

$$w_i = W_0 \times R^i - W_0 \times R^{(i-1)}$$

を満たすように形成されている。

【0137】

これにより、加算チャネル幅 W_i は、定数 R のべき乗に比例する。また、一方、導通した増幅トランジスタによって定まる利得は、加算チャネル幅 W_i のべき乗に比例する。それゆえ、上記の利得は、デシベル表示(対数表示)で i に線形に依存する。従って、広い可変域を得ることができるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の各実施の形態に係る可変利得増幅器の基本原理となる構成を示すブロ

ック図である。

【図 2】

本発明の実施の形態 1 に係る可変利得増幅器の構成を示す回路図である。

【図 3】

(a) は本発明の実施の形態 2 に係る可変利得増幅器の構成を示す回路図であり、(b) はこの可変利得増幅器における電流制御切替スイッチの構成を示す回路図である。

【図 4】

本発明の実施の形態 2 の変形例に係る可変利得増幅器の構成を示す回路図である。

【図 5】

本発明の実施の形態 2 の変形例に係る他の可変利得増幅器の構成を示す回路図である。

【図 6】

本発明の実施の形態 2 の変形例に係るさらに他の可変利得増幅器の構成を示す回路図である。

【図 7】

図 6 の可変利得増幅器の具体的構成を示す回路図である。

【図 8】

本発明の実施の形態 3 に係る可変利得増幅器の構成を示す回路図である。

【図 9】

(a) は図 8 の可変利得増幅器における単位回路数と利得および I I P 3 との関係を示すグラフであり、(b) は図 8 の可変利得増幅器における利得と I I P 3 との関係を示すグラフである。

【図 1 0】

本発明の実施の形態 4 に係る可変利得増幅器の構成を示す回路図である。

【図 1 1】

本発明の実施の形態 5 に係る可変利得増幅器の構成を示す回路図である。

【図 1 2】

図 2 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 3】

図 3 (a) の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 4】

図 4 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 5】

図 5 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 6】

図 6 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 7】

図 7 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 8】

図 8 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 1 9】

図 1 0 の可変利得増幅器を全差動化した本発明の実施の形態 6 に係る可変利得増幅器の構成を示す回路図である。

【図 2 0】

本発明の実施の形態 7 に係る全差動型可変利得ミキサ回路の構成を示す回路図である。

【図 2 1】

本発明の実施の形態 8 に係る全差動型可変利得ミキサ回路の構成を示す回路図である。

【図 2 2】

(a) は本発明の実施の形態 9 に係る可変インピーダンスカレントミラー回路の構成を示す回路図であり、(b) は上記可変インピーダンスカレントミラー回路を含む可変利得増幅器の構成を示す回路図である。

【図 2 3】

従来の可変利得増幅器の構成を示す回路図である。

【図 2 4】

図 2 3 の可変利得増幅器における可変抵抗の構成を示す回路図である。

【図 2 5】

図 2 3 の可変利得増幅器におけるバイアス電圧調整回路の構成を示す回路図である。

【図 2 6】

図 2 の可変利得増幅器における各電流制御トランジスタに接続された共通の電流源を備えた、本発明の実施の形態 1 0 に係る可変利得増幅器の構成を示す回路図である。

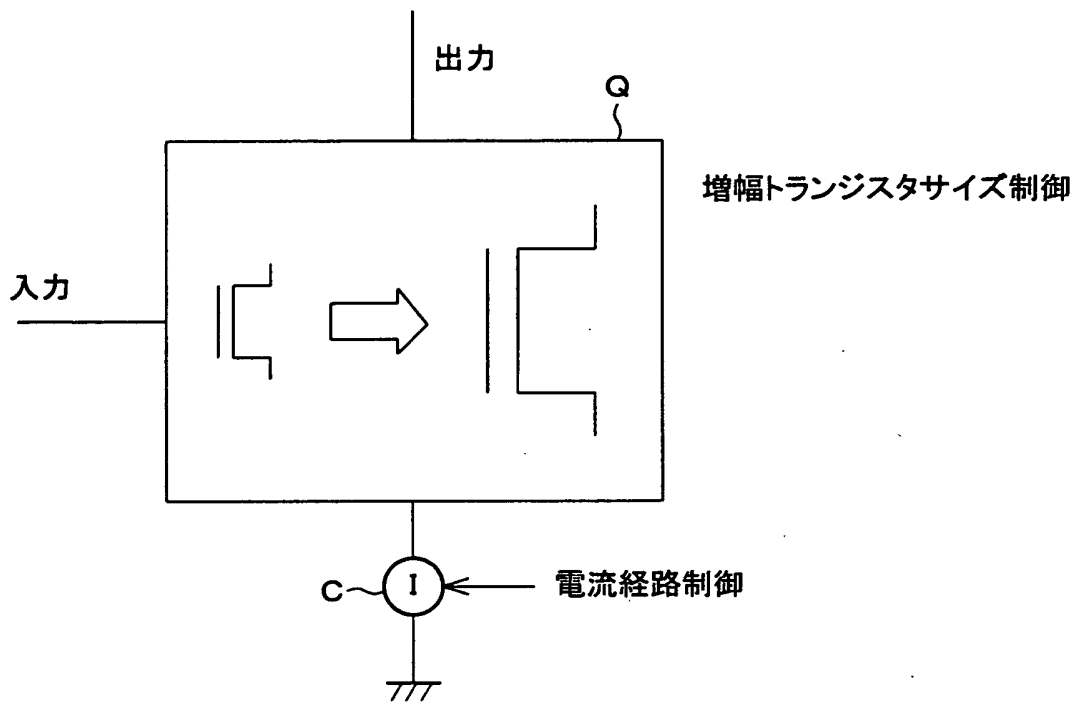
【符号の説明】

1 ～ 3 ・ 6	単位回路
4	可変インピーダンスカレントミラー回路
5	単位カレントミラー回路
1 1	信号入力トランジスタ (増幅トランジスタ)
1 1 a ・ 1 1 b	信号入力トランジスタ (増幅トランジスタ差動対)
1 2	電流制御トランジスタ (第 1 トランジスタ)
1 3	電流制御切替スイッチ (切替制御回路、切替回路)
1 4	電流制御トランジスタ (補助電流制限トランジスタ、第 2 トランジスタ)
1 7	トランジスタ差動対
1 7 a ・ 1 7 b	トランジスタ
1 8 ・ 1 9	負荷インピーダンス
2 0	トランジスタ差動対 (第 1 トランジスタ差動対)

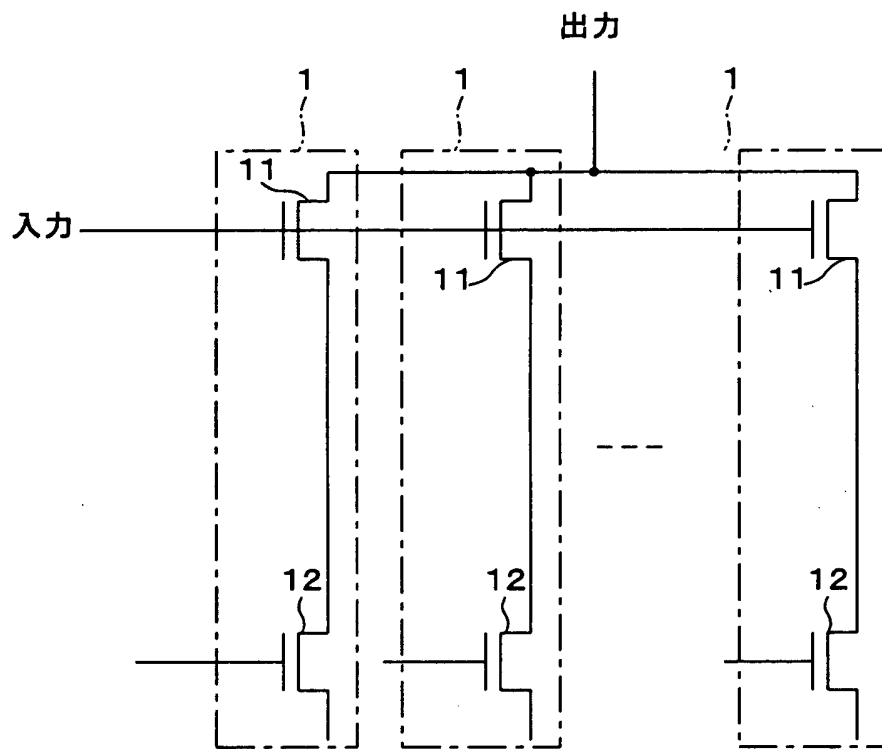
2 0 a	トランジスタ
2 0 b	トランジスタ
2 1	トランジスタ差動対 (第 2 トランジスタ差動対)
2 1 a	トランジスタ
2 1 b	トランジスタ
2 2	トランジスタ差動対 (第 3 トランジスタ差動対)
2 2 a	トランジスタ
2 2 b	トランジスタ
2 3	トランジスタ差動対 (第 4 トランジスタ差動対)
2 3 a	トランジスタ
2 3 b	トランジスタ
2 4 ・ 2 5	負荷インピーダンス
2 6	電流源
3 1	制御電圧発生回路 (電圧発生回路)
C	電流経路制御回路 (電流経路制御部)
Q	増幅トランジスタ部 (増幅トランジスタ)
V _{cnt1} ・ V _{cnt2}	電流制御電圧 (動作制御電圧)
V _{cc} ・ V _{ss}	電源電圧
V _{L0}	発振信号
V _{L0} ^I	第 1 発振信号
V _{L0} ^Q	第 2 発振信号

【書類名】 図面

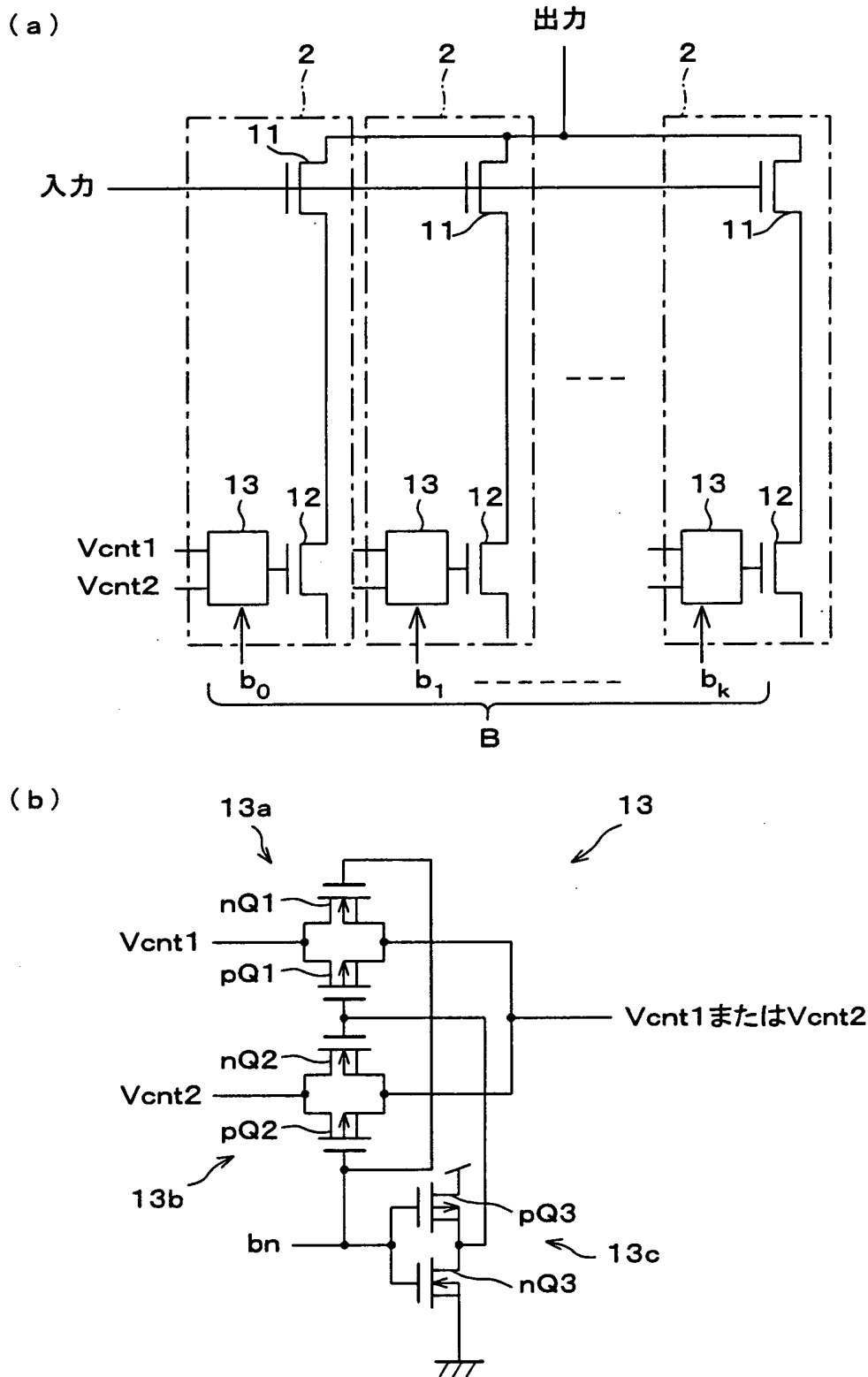
【図 1】



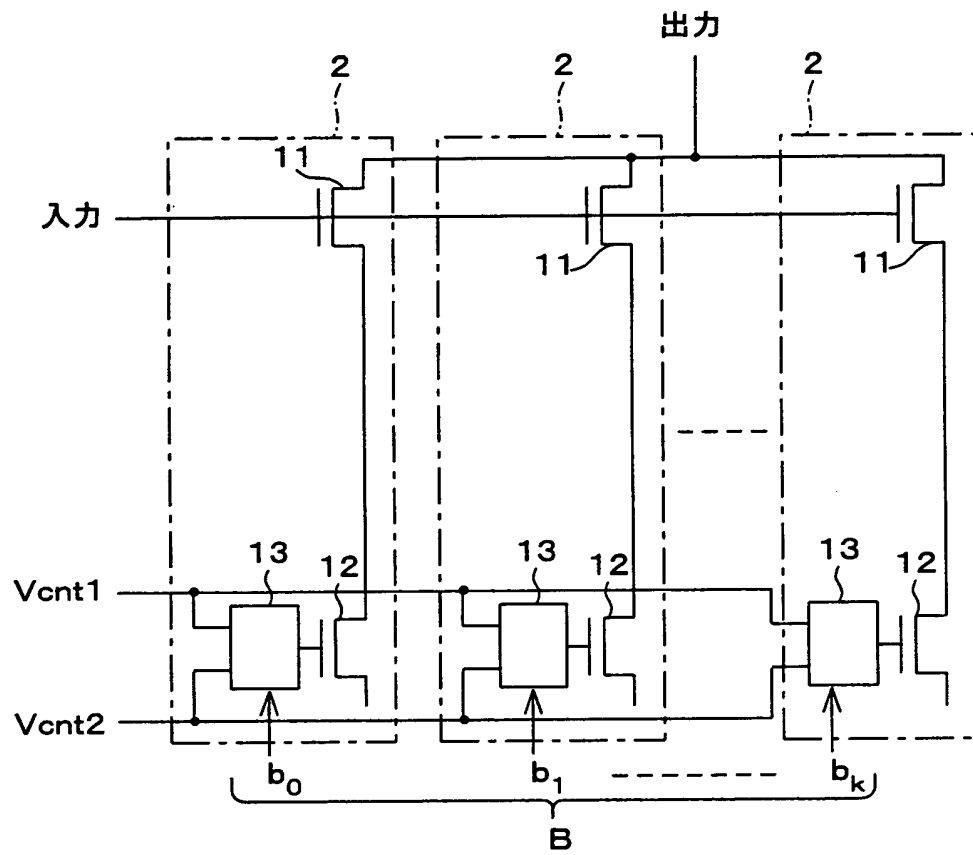
【図 2】



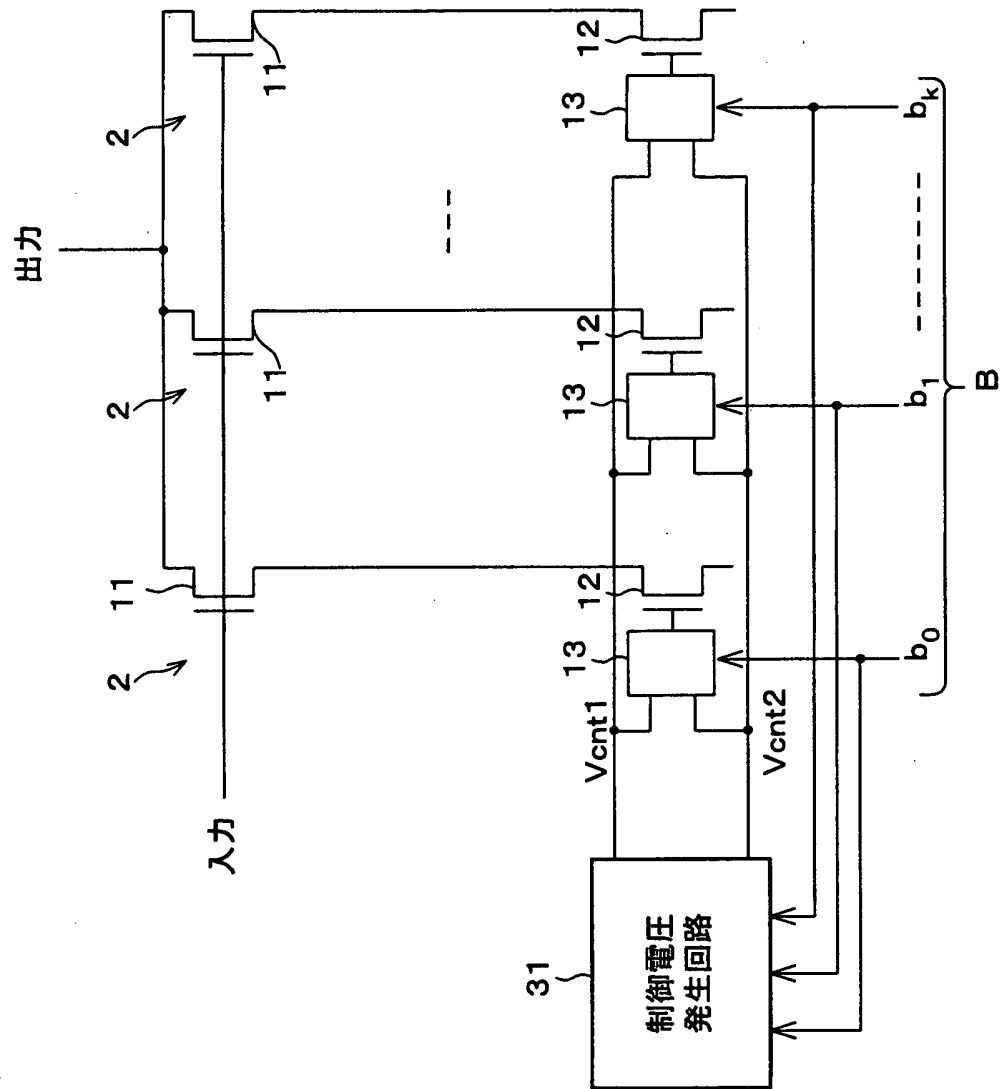
【図3】



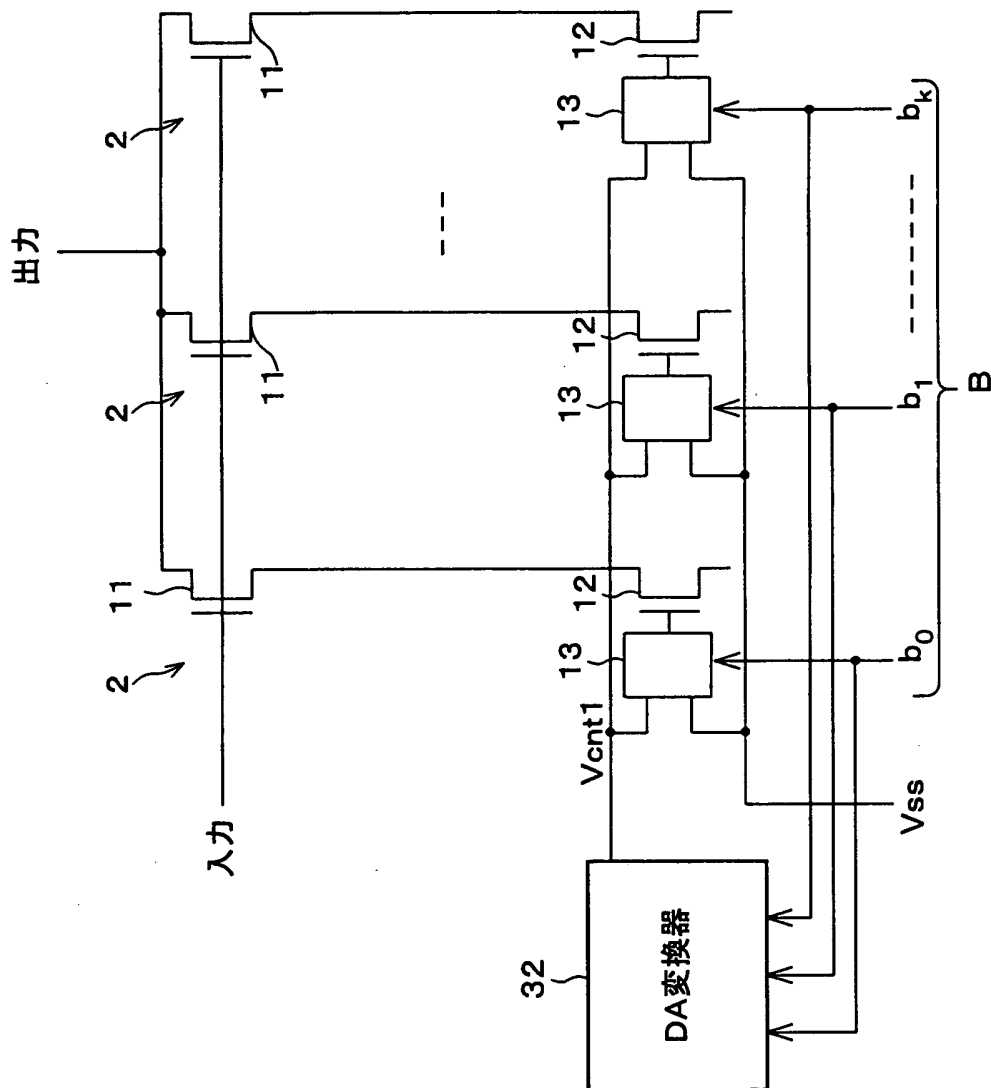
【図 4】



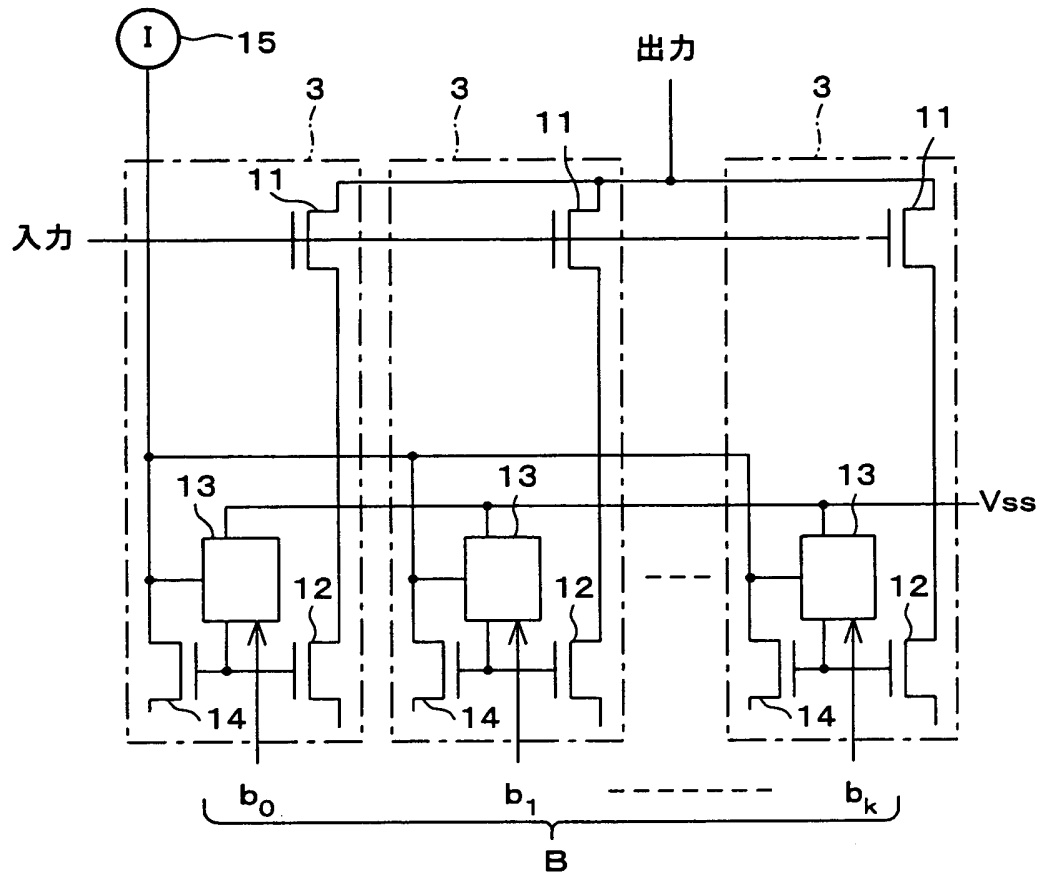
【図 5】



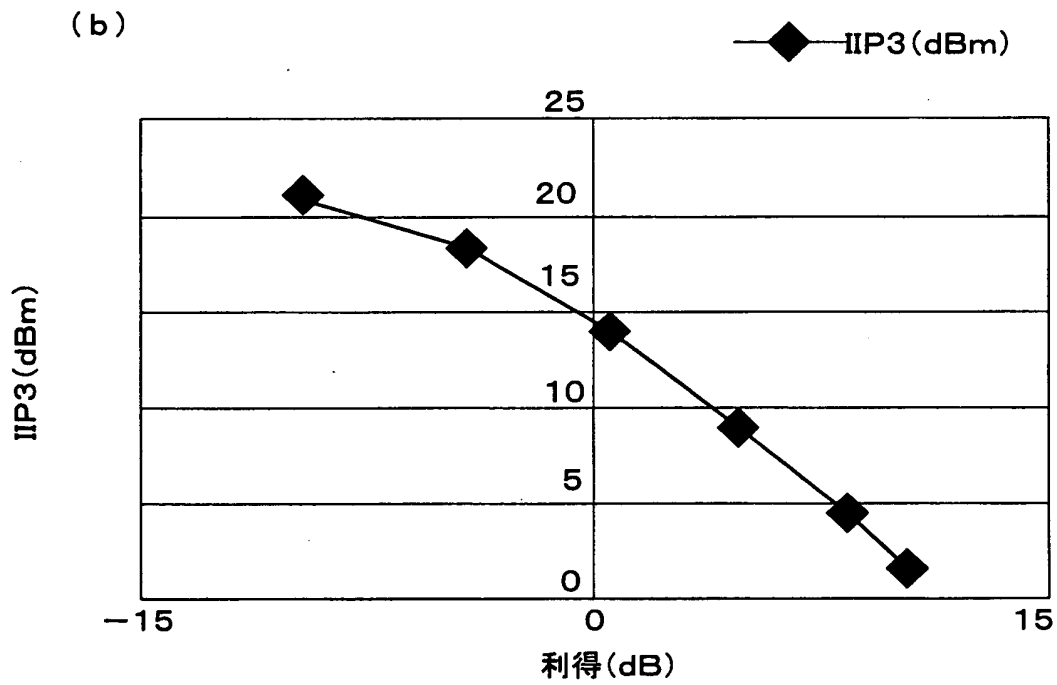
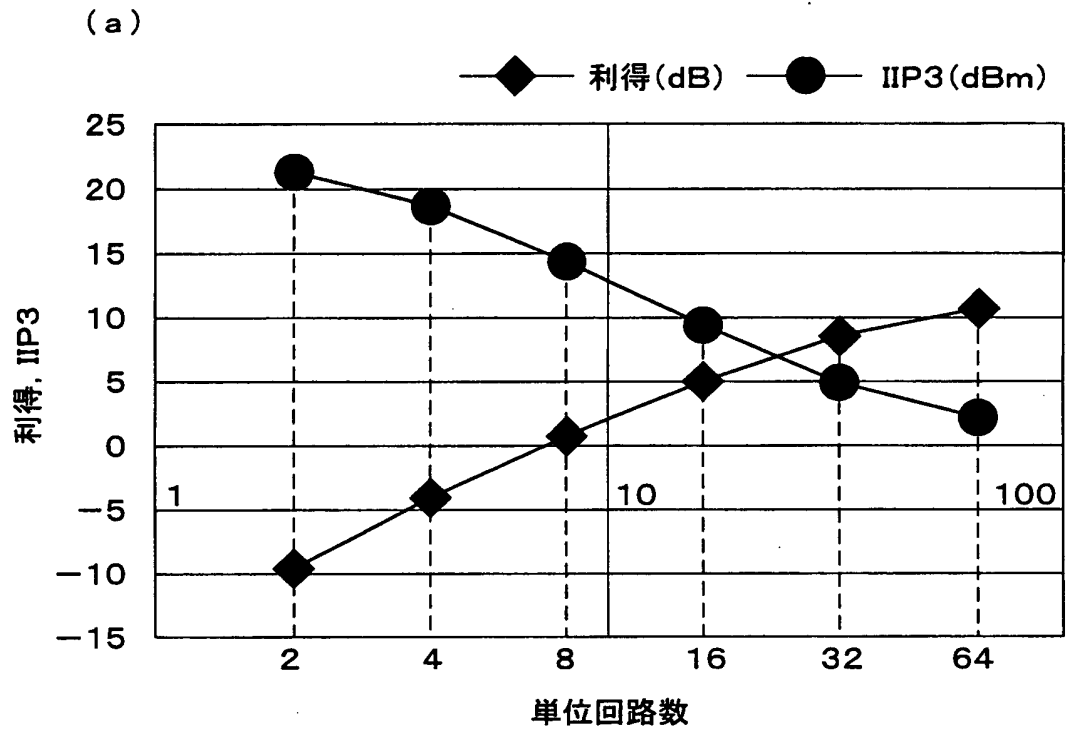
【図 7】



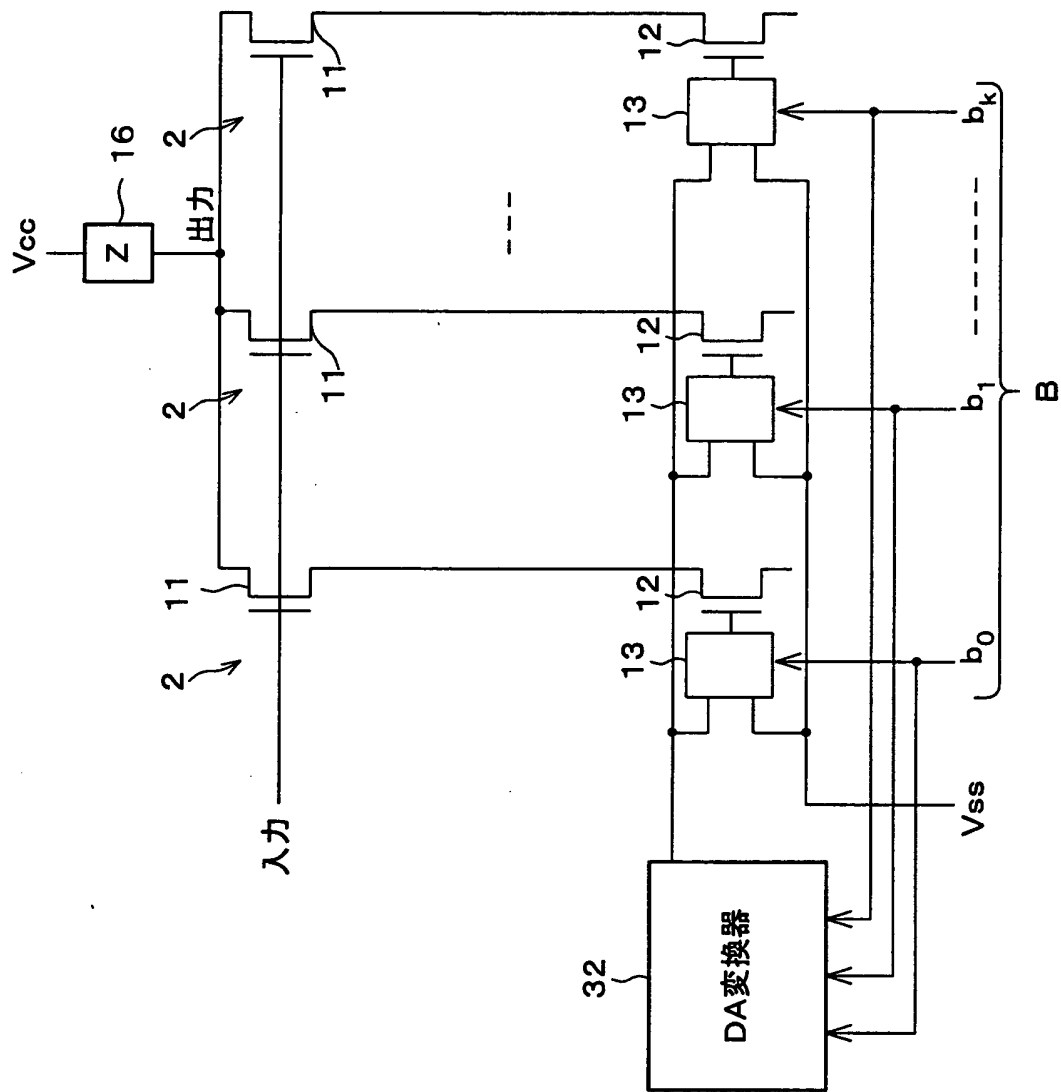
【図 8】



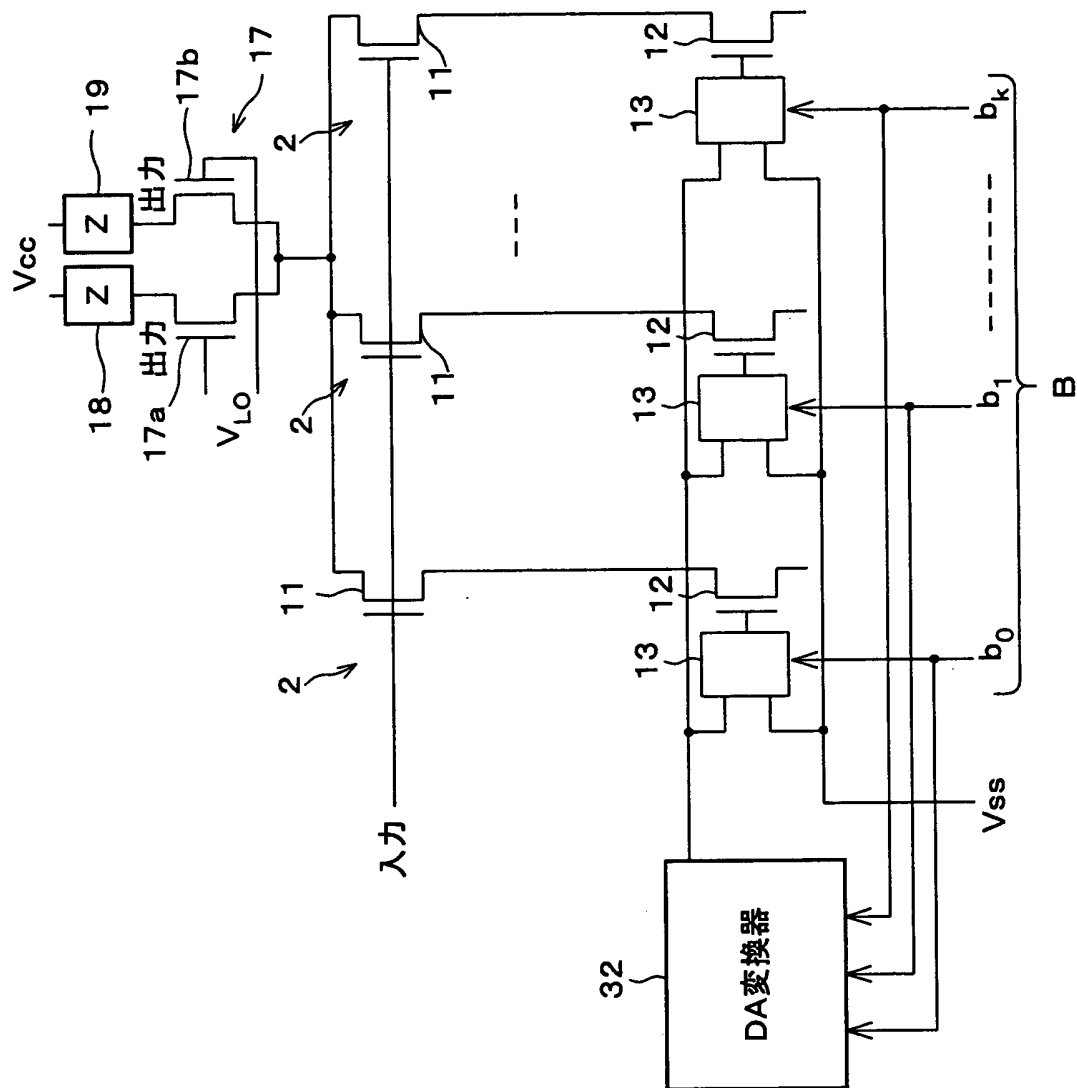
【図 9】



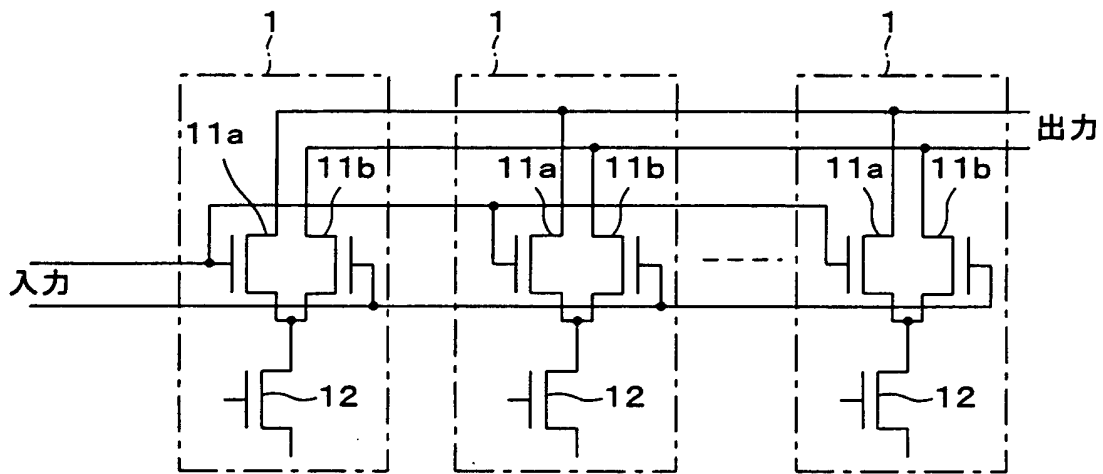
【図10】



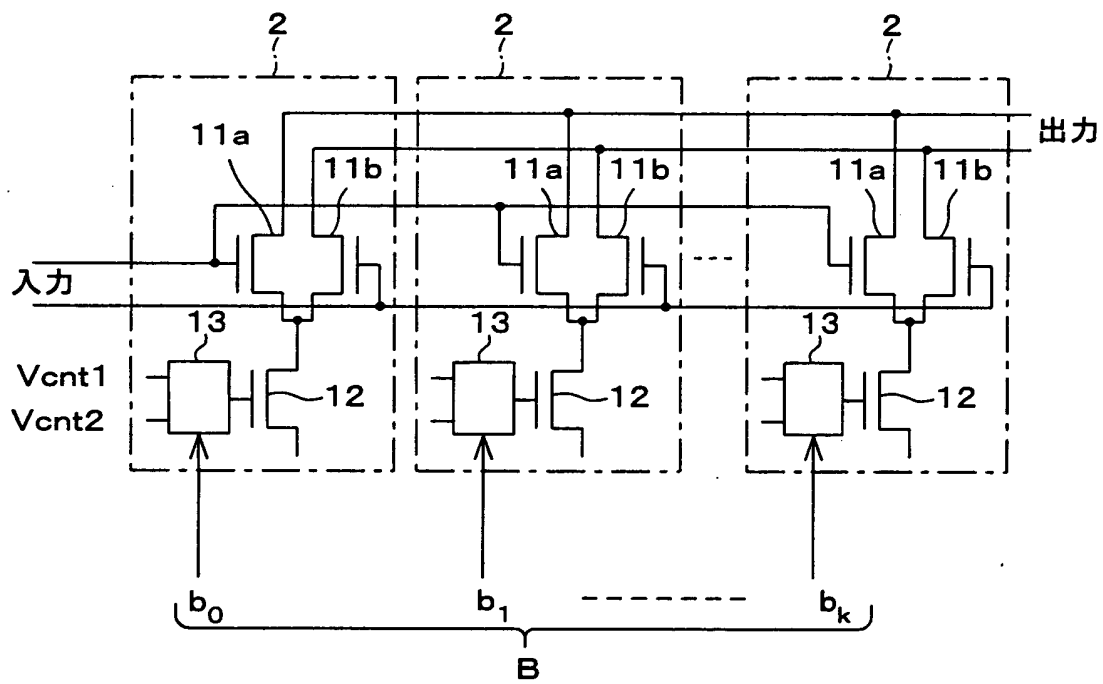
【図 1 1】



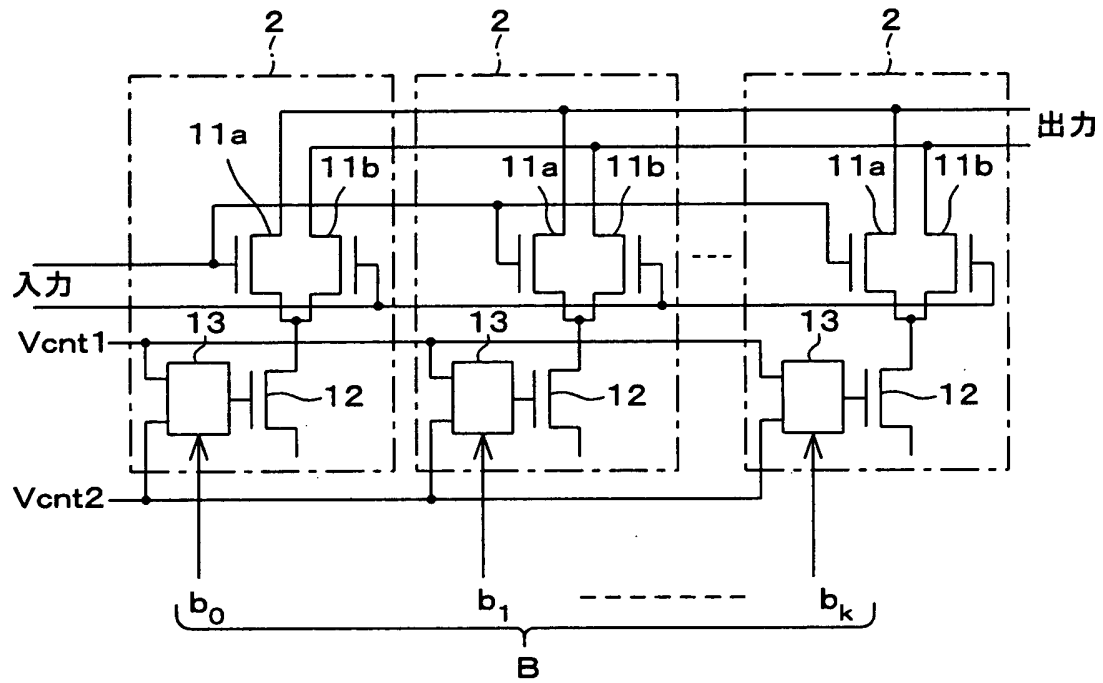
【図12】



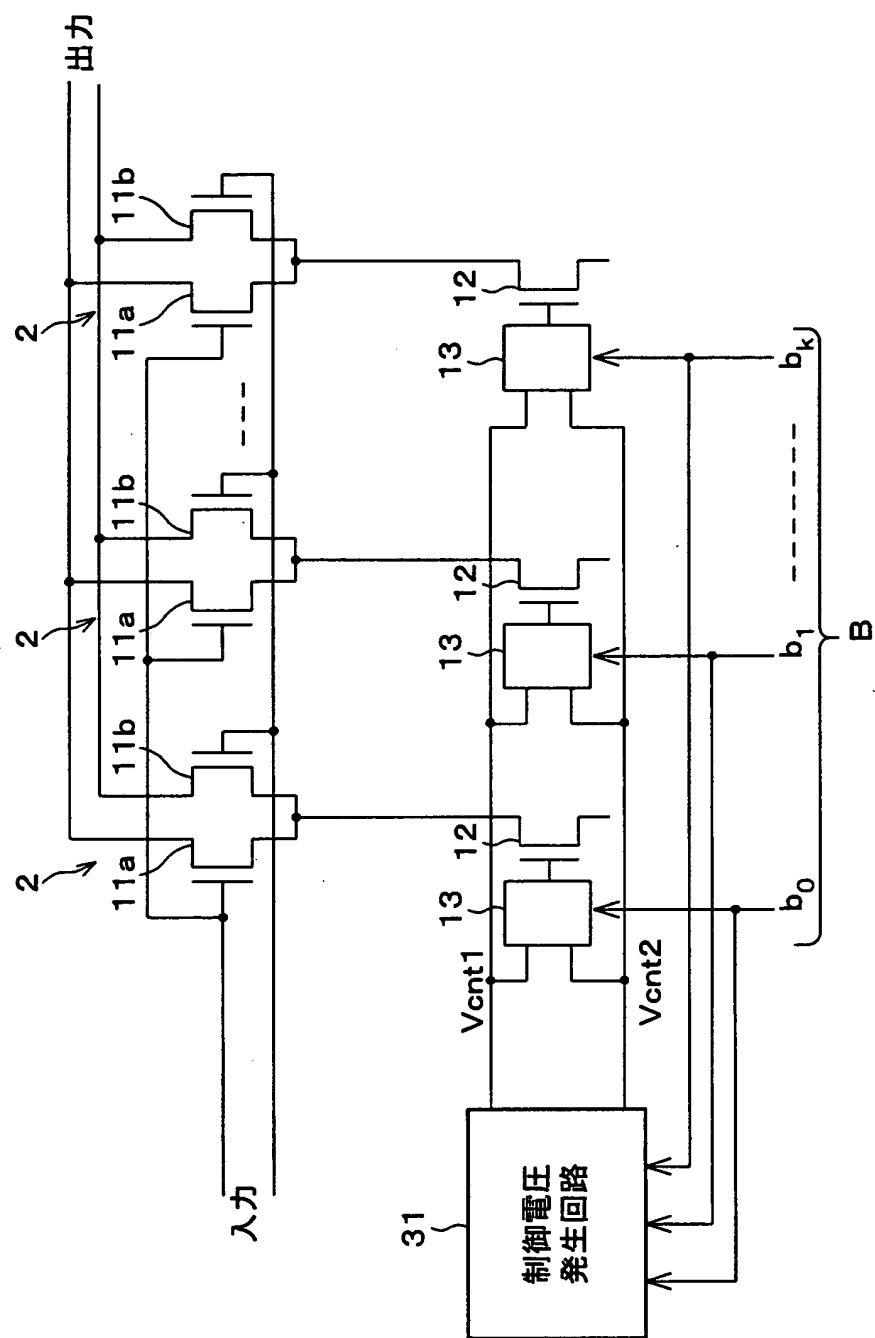
【図13】



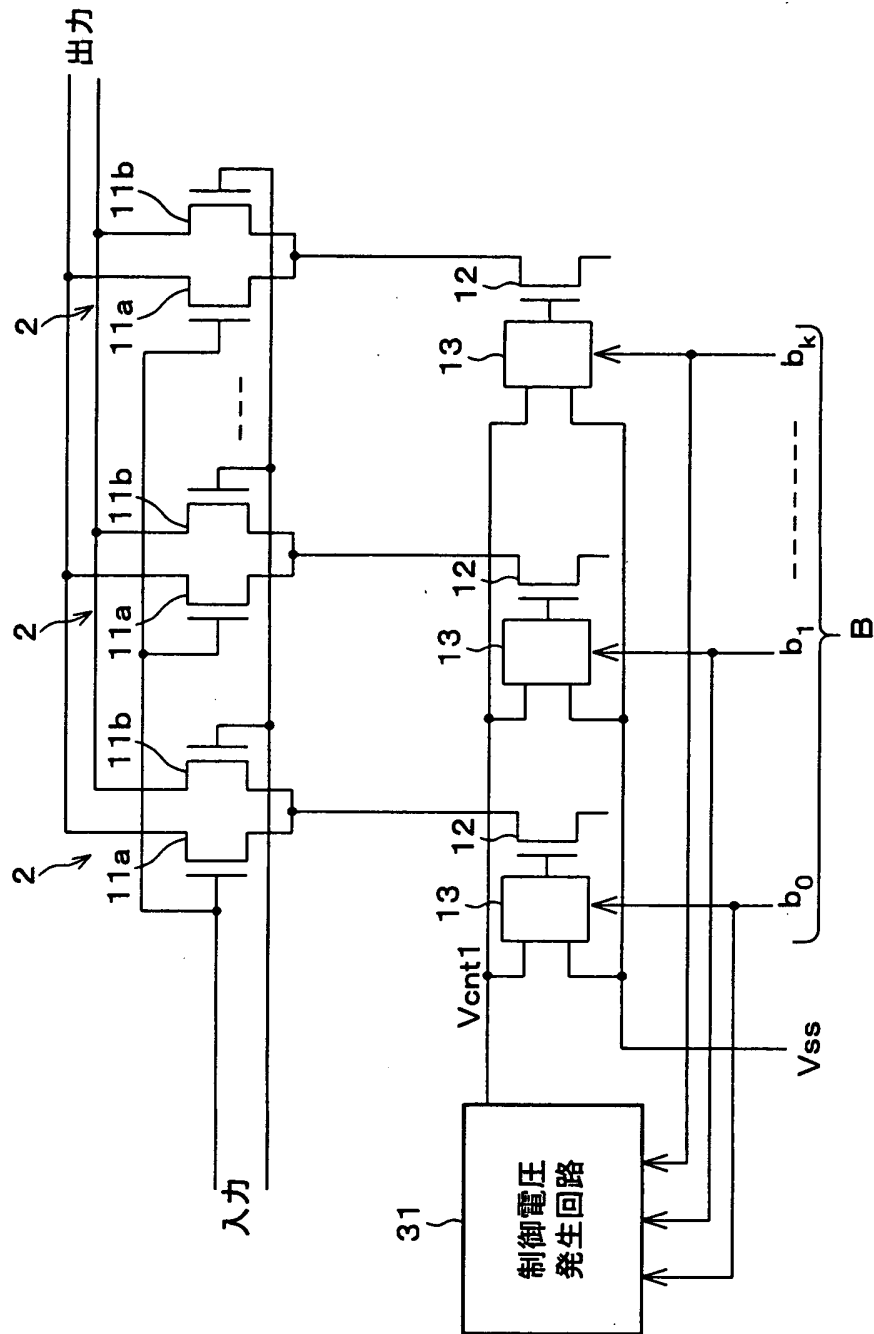
【図 14】



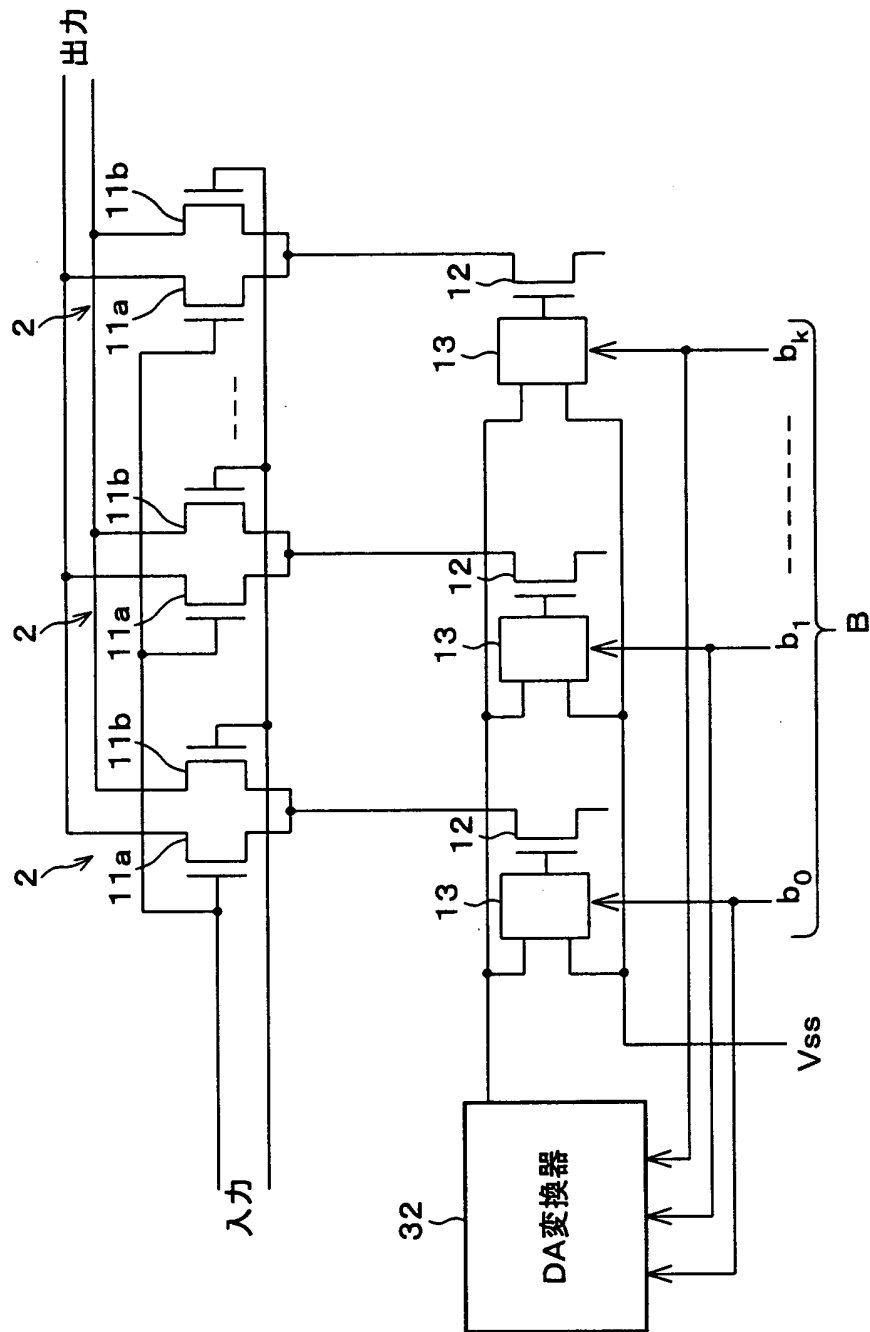
【図15】



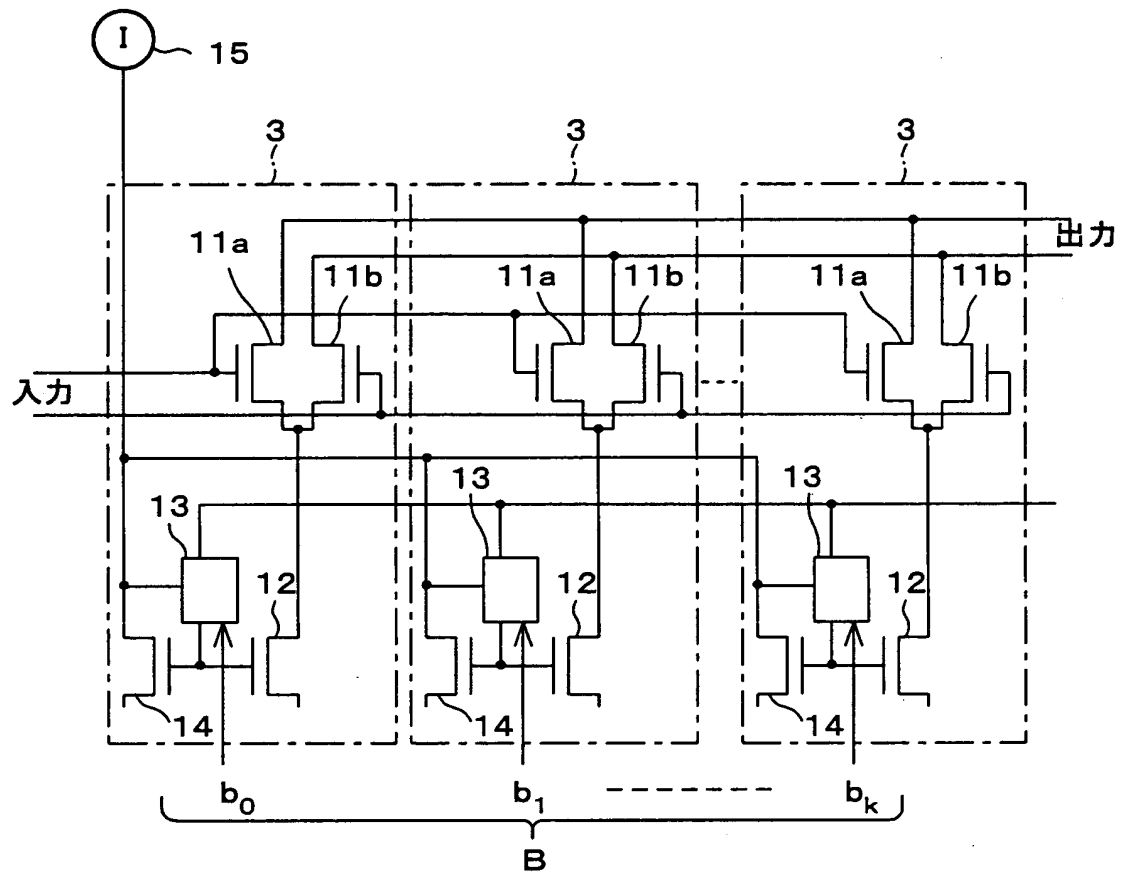
【図 16】



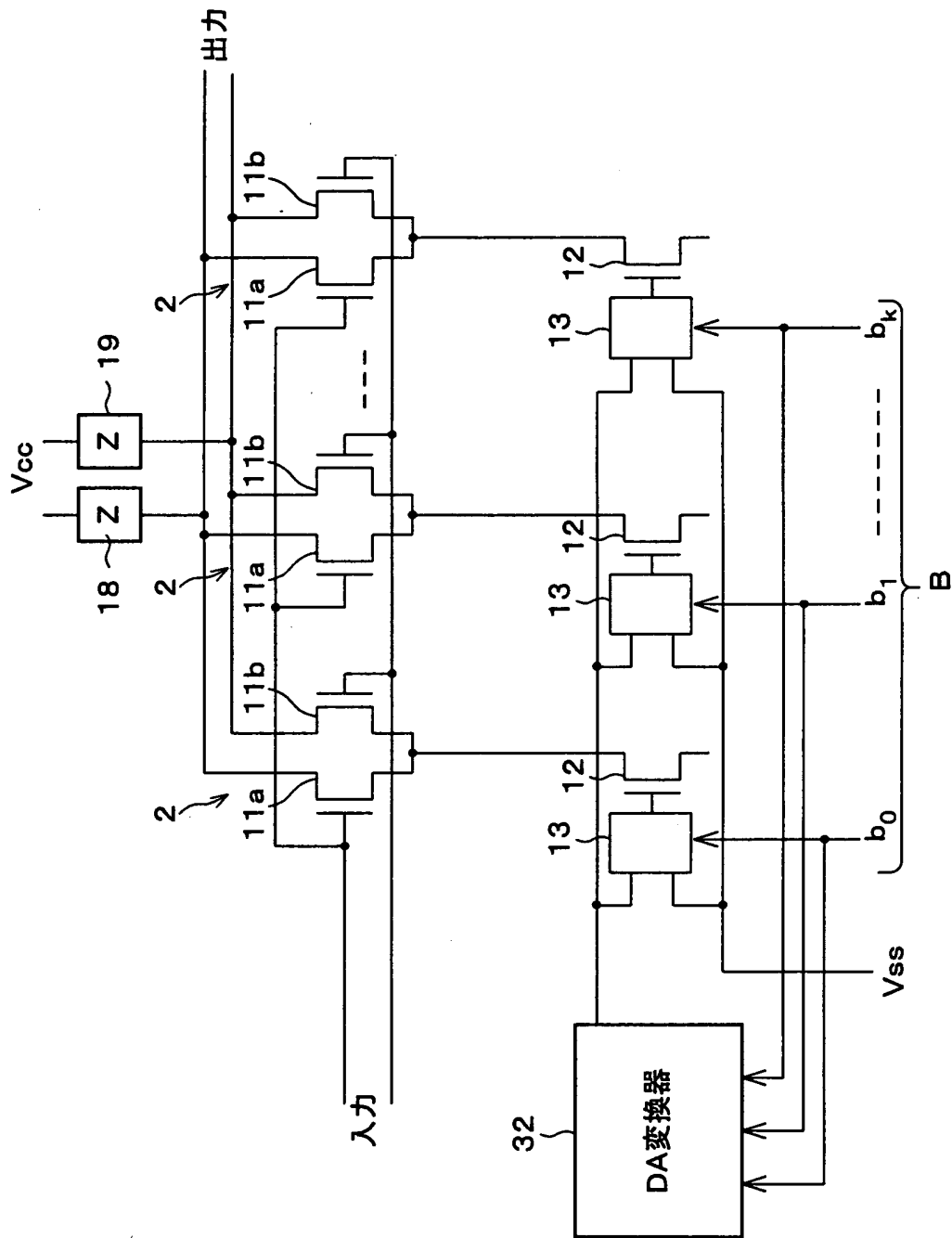
【図 17】



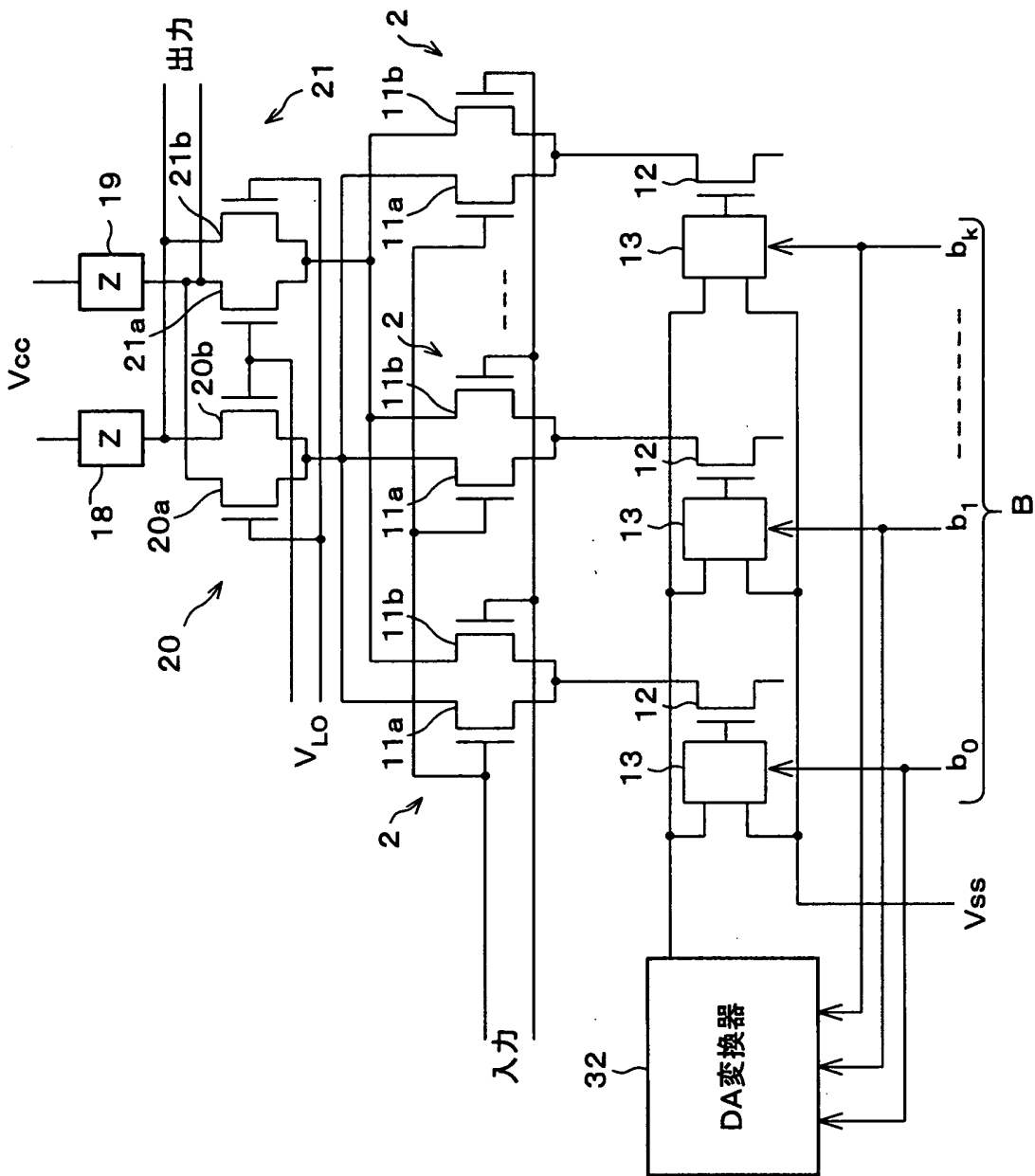
【図 18】



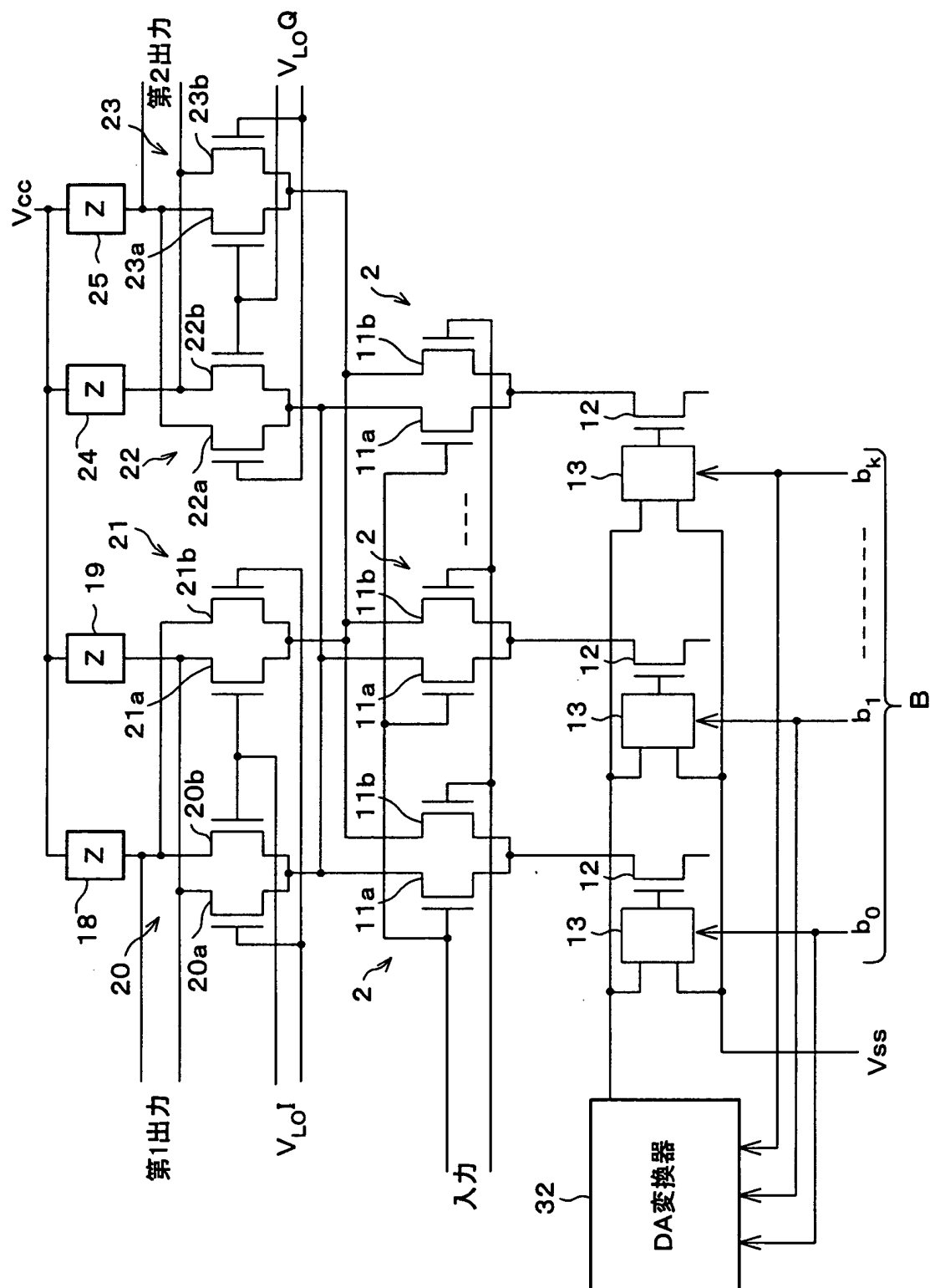
【図 19】



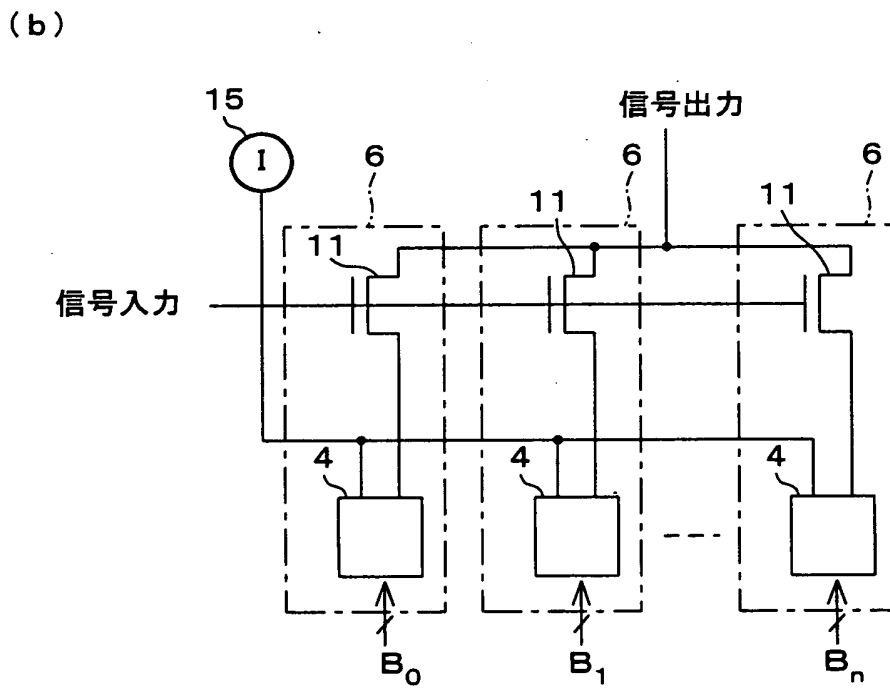
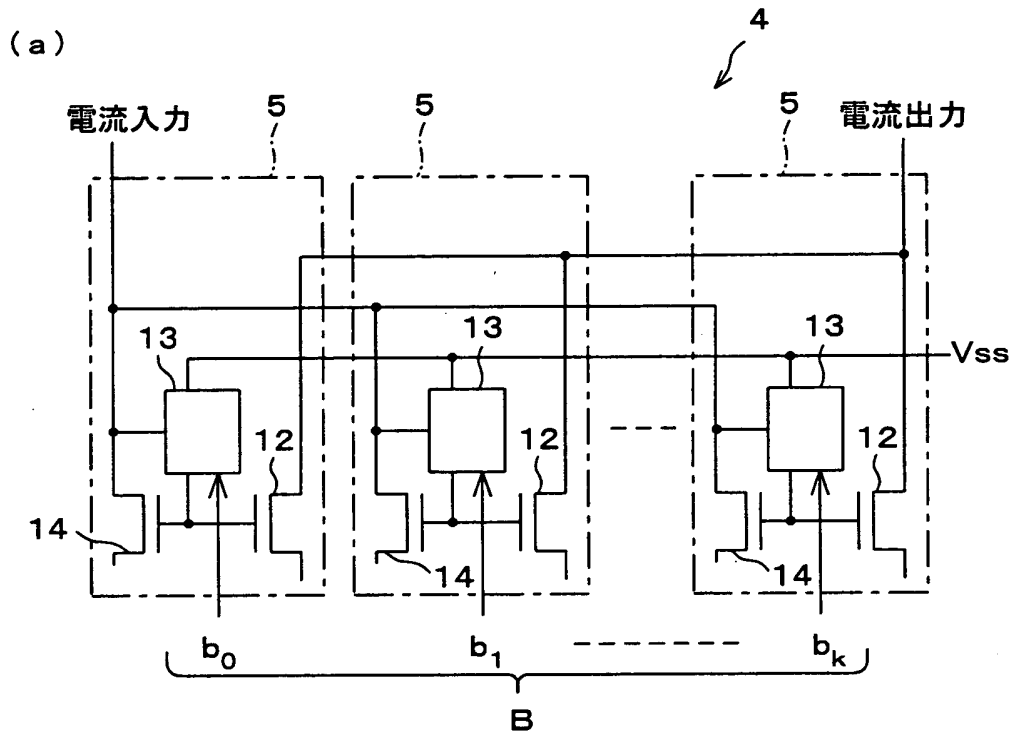
【図20】



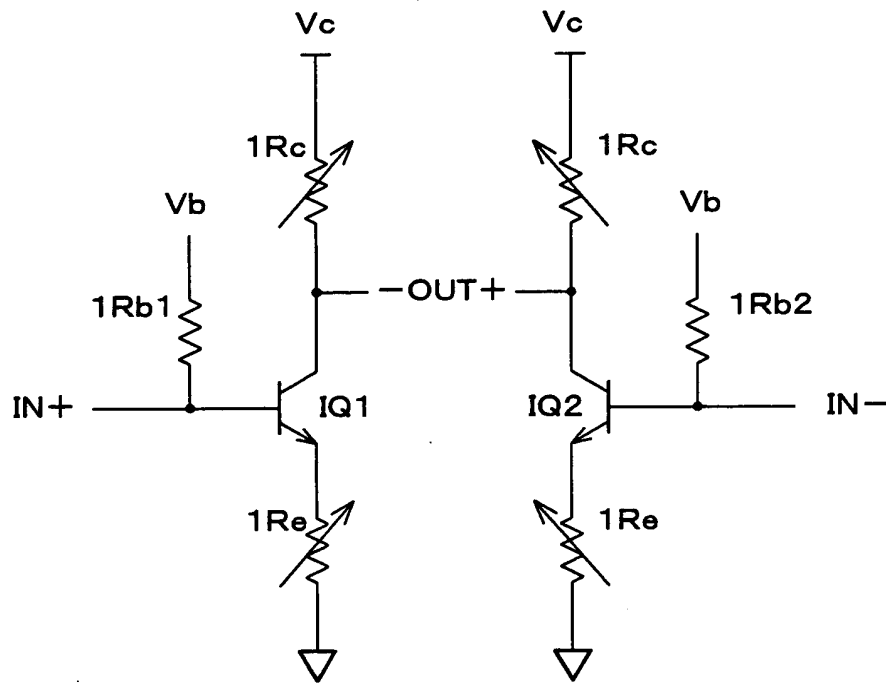
【図 21】



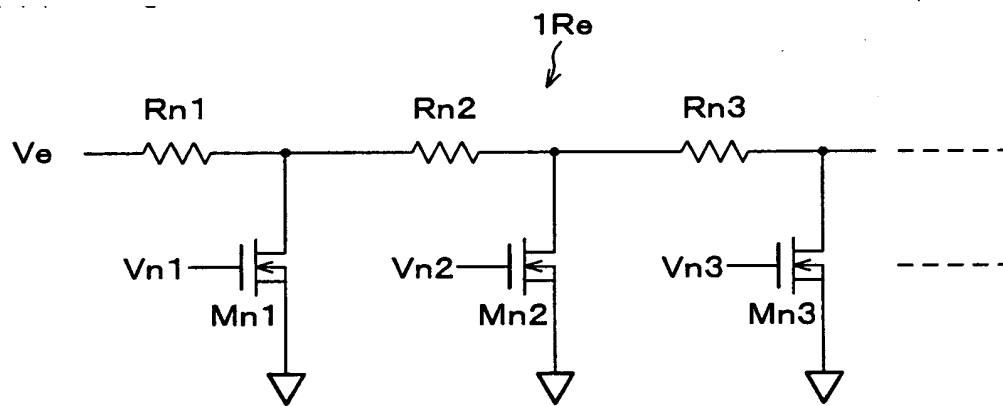
【图 2 2】



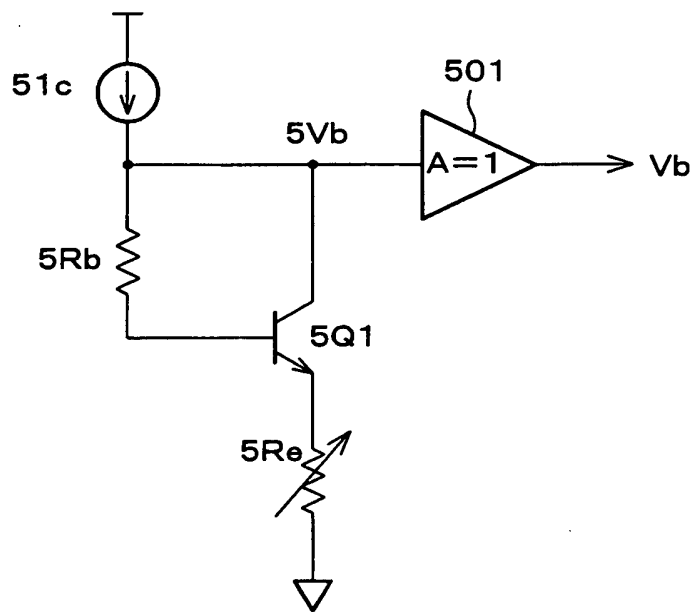
【図 23】



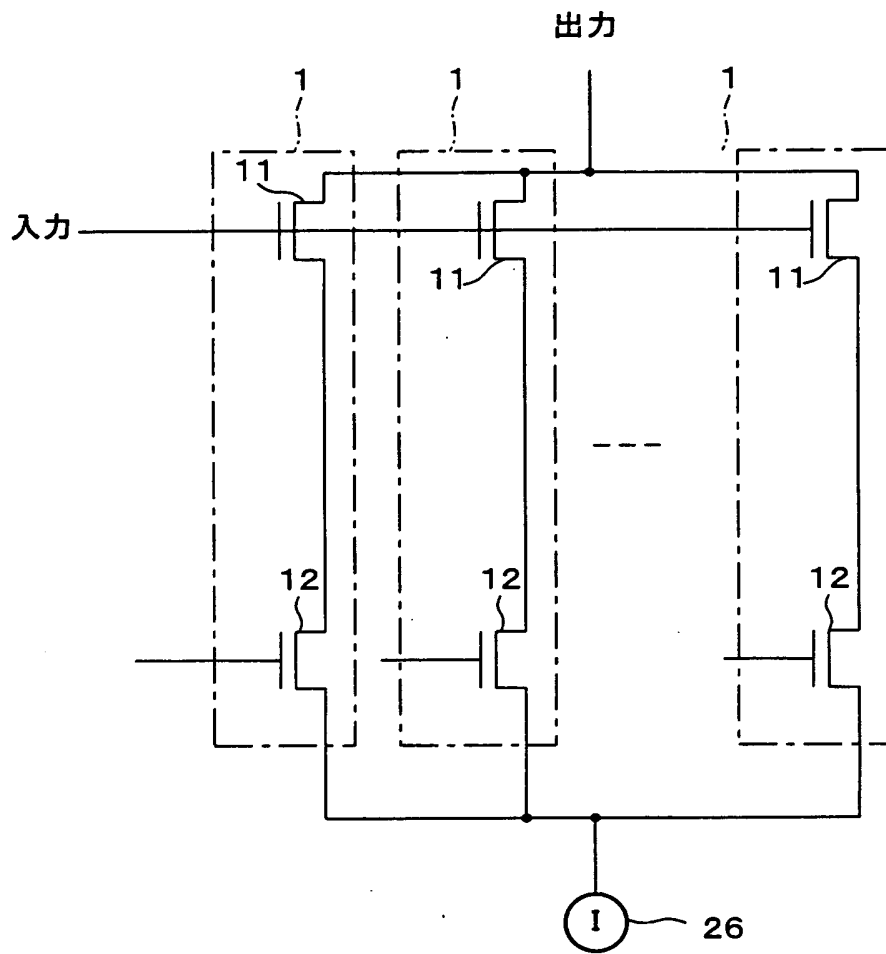
【図 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 利得の減少分を I I P 3（3 次の入力インターセプトポイント）の増大分として作用させることができる実装面積の小さい可変利得増幅器を実現する。

【解決手段】 電流経路制御回路 C で、増幅トランジスタ部 Q に流れる電流の経路を制御することによって、増幅トランジスタ部 Q を構成するトランジスタの実質的な大きさを制御し、利得および I I P 3 を制御する。回路に流れる電流値 I を電流経路制御回路 C で一定に保つことにより、トランジスタの大きさ W/L が縮小または増大すると、トランスコンダクタンス（利得）が低下または上昇し、I I P 3 が増大または減少する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社